



온라인 강의평가&퀴즈 설명서

수강생용

① idec.or.kr – 로그인후 마이페이지 클릭

② 교육신청내역 클릭

마이페이지

교육신청내역

캠퍼스	구분	제목	신청일자	상태
본센터	Tool강좌/고급/이론+실습	SystemVerilog Testbench	2017-07-13	신청

③ 교육신청내역상세 - 강의평가 버튼 클릭

○ 교육신청내역상세

▣ 교육정보

캠퍼스	본센터	구분	Tool강좌 / 고급 / 이론+실습
강의제목	SystemVerilog Testbench		
강의일자	2017-07-11 ~ 2017-07-13	수료증	발행 안됨
수강대상	Systemverilog 를 이용한 Verification Engineer		
사전지식,선수과목	Systemverilog, Verilog		

▣ 신청자 정보

회원ID	yjkim	이름	김영지
학교명(회사명)	KAIST	학과명(부서명)	반도체설계교육센터
직급/교과과정	주임연구원	전화번호	<input type="text"/>
휴대폰	<input type="text"/>	이메일	yjkim@idec.or.kr

④ 강의평가 및 퀴즈 제출

- 강의 평가는 반드시 입력해야 페이지가 넘어간다.
- 퀴즈 제출은 의무사항은 아니나, 수료증이 필요하면 3/5문제 통과해야 한다.

강의평가 및 퀴즈

교육정보

캠퍼스	본센터	강의일자	2017-07-11 ~ 2017-07-13
강의제목	SystemVerilog Testbench		

강의평가

평가항목	세부내용	평가점수
강사	강의 기법과 스킬이 학습 내용을 이해하기에 충분했는가?	선택 ▼
	성의 있게 강의(강의준비, 질문에 대한 답변) 하였나?	선택 ▼
강의자료	수업내용을 이해하기에 핵심적인 내용으로 구성되었는가?	선택 ▼
난이도	내용의 범위와 깊이가 대상 학습자에게 적절한가?	선택 ▼
만족도	해당 분야에 대한 이해와 지식습득에 도움이 되었는가?	선택 ▼
실습과목	실습은 관련 내용을 숙지하기 위해 적절한 내용이었으며, 원활하게 진행되었는가?	선택 ▼
기타	교육시간이 적당하였는가?	선택 ▼

강의 과정에 대한 전반적인 의견을 작성해주세요.

불편하셨던 점, 새로 개설되기를 희망하시는 강좌 등 IDEC 공개강좌 프로그램 전반에 대한 건의 사항이 있으면 적어주세요.

퀴즈

- 3/5문제 통과시 (마이페이지)에서 수료증 발급 가능

문제1

What are values in (A) ?

```

program automatic test1:
bit[7:0] SQ_array[$] = {2, 1, 8, 3, 5};
bit[7:0] SQ[$]:
int idx[$]:
initial begin
    SQ = SQ_array.find() with ( item > 3); // SQ[$] contains (A) - item is default iterator variable
    idx = SQ_array.find_index(addr) with ( addr > 3);
    // idx[$] contains 2, 4 - addr: user defined iterator variable
end
endprogram: test1
    
```

선택

1. 3,1
2. 8,5
3. 3,5

문제5

How main bins are created?

```

covergroup myCov() @(cov_event):
coverpoint port_number {
wildcard bins b1 = {4b01??};
wildcard bins b2[] = {4b011?=> 4b?000};
wildcard bins w1[2] = {4b11??};
}
endgroup: myCov
    
```

선택

1. 3
2. 6
3. 7
4. 12
5. 16

등록/수정

뒤로가기

⑤ 제출 완료

- 강의 종료일에만 퀴즈 및 강의평가 제출이 가능하다.

○ 등록 / 수정 완료

- 강의평가 및 퀴즈 등록이 완료 되었습니다.

뒤로가기

- 출석 100%, 3/5문제 통과시 수료증 발급이 가능하다.
- 강의 종료 후 2~3일 내로 수료증 안내 메일이 발송되면 Mypage에서 직접 수료증을 출력할 수 있다.

❖ 수료증 발급

IDEC 참여내역

교육신청내역

SoC설계과목이수제

VOD신청내역

참여교수신청내역

MPW신청내역

EDATool신청내역

CDC신청내역

○ 교육신청내역상세

교육정보

캠퍼스	본센터	구분	Tool강좌 / 고급 / 이론+실습
강의제목	SystemVerilog Testbench		
강의일자	2017-07-11 ~ 2017-07-13	수료증	수료증 인쇄
수강대상	Systemverilog 를 이용한 Verification Engineer		
사전지식, 선수과목	Systemverilog, Verilog		