

# 2024 International Solid-State Circuits Conference

## (ISSCC) Review

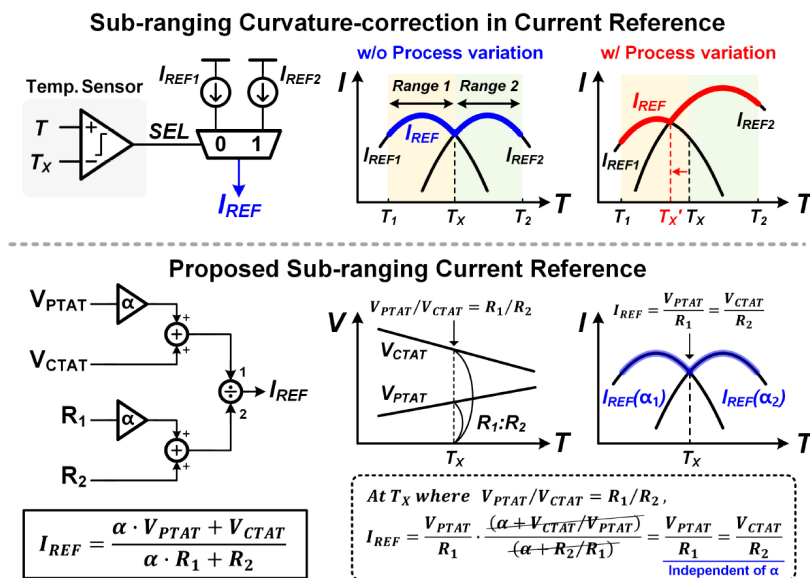
경희대학교 전자공학과 최우준 교수

### Topic : Analog

#### Session 3 : Analog Techniques

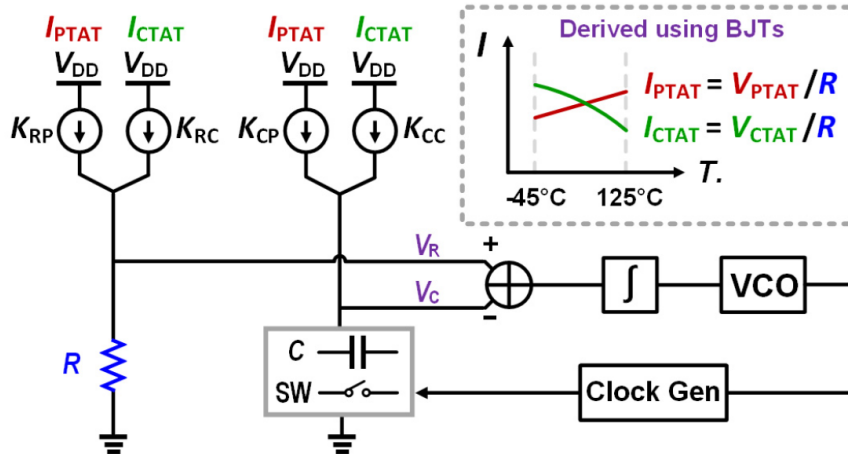
Session 3 Analog Techniques 에서는 Frequency reference, Crystal oscillator, Sensor interfaces, Sampler, Amplifier 등 총 10편의 논문이 발표되었다. 기존의 Analog techniques와 Sensor interfaces는 같은 Analog subcommittee에서 다른 Session으로 구분되었지만, 올해는 통합되어 다양한 Application에 적용된 Analog technique을 확인할 수 있었다. 이 중, High-precision Current/Frequency reference와 Scalable sensor interface에 대한 3개의 논문을 살펴보고자 한다.

**#3-1** 본 논문은 KAIST에서 발표한 논문으로, 두 개의 온도 범위에 따른 Reference current를 생성하여 2차 이상의 Temperature coefficients (TC)를 보상하는 Current reference를 제안한다. 온도 범위를 나누는 Sub-ranging을 적용할 때 Process variation에 따라 교차점이 바뀌기 때문에 추가적인 Curvature error가 발생할 수 있지만, 본 논문에서는 Reference current를 만들어내기 위한 Resistor와 PTAT (Proportional-to-Absolute-Temperature)/CTAT (Complementary-to-Absolute-Temperature) voltage을 같은 비율로 맞춰 이를 해결했다. 그 결과로서, 어떠한 외부 교정 기법 없이  $-20^{\circ}\text{C}$ 에서  $125^{\circ}\text{C}$ 까지의 온도 범위 내 5개 Process corner에서 제작된 45개 샘플에 대해  $11.4\text{ppm}/^{\circ}\text{C}$ 의 TC를 달성하였다.



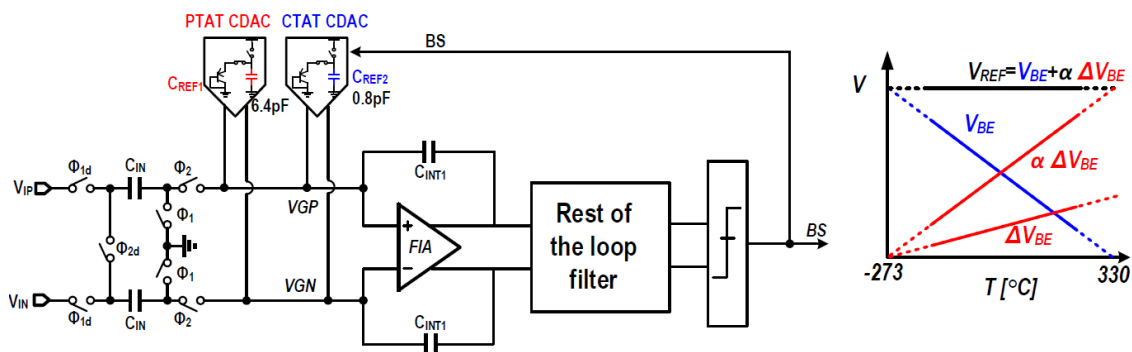
[그림 1] #3-1 논문에서 제안하는 Sub-ranging current reference 구조.

#3-2 본 논문은 TU Delft에서 발표한 RC frequency reference에 관한 논문이다. RC frequency reference의 출력 주파수는 RC time constant에 의하여 결정되는데, Resistor와 Capacitor에 PTAT, CTAT current로 각각을 biasing 하고, 2-point trimming을 통해 2차 TC를 보상하였다. Resistor biasing을 사용했던 같은 그룹의 이전 논문 (31.5ppm/°C)과 비교할 때 더 높은 Temperature accuracy (10.6ppm/°C)를 달성하였다. 또한, Diffusion resistor 만을 사용하여, 최근 RC frequency reference에 제기되는 Aging 문제를 해결하고자 하였고, 그 결과로 150°C에서 1주 간의 Aging 이후 18.2ppm/°C에 해당하여 크게 손상되지 않는 TC 성능을 보여주었다.



[그림 2] #3-2 논문에서 제안하는 2차 TC가 보상된 RC frequency reference 구조.

#3-4 본 논문은 Vango Technologies에서 발표한 논문으로, Dynamic bandgap reference (BGR)을 내장한 Bandwidth/Power scalable sensor interface를 제안한다. Sensor interface의 ADC Scalability와 Power/Area efficiency 향상시키기 위하여 Dynamic BGR을 ADC의 Reference로서 활용한다. 해당 BGR은 Capacitively biased BJT diode로 설계되어, Buffer 없이 Discrete-time ADC의 입력단에 적용될 수 있고 All dynamic 동작에 의하여 Bandwidth/Power scalability를 향상시킨다. 그 결과로서 30배의 Power 조절, 60배의 Bandwidth 조절이 가능하고, trimming 없이  $\pm 0.26\%$ 의 Temperature inaccuracy 및 BGR을 포함하여 165.3dB의 SNDR FOM을 달성하였다.

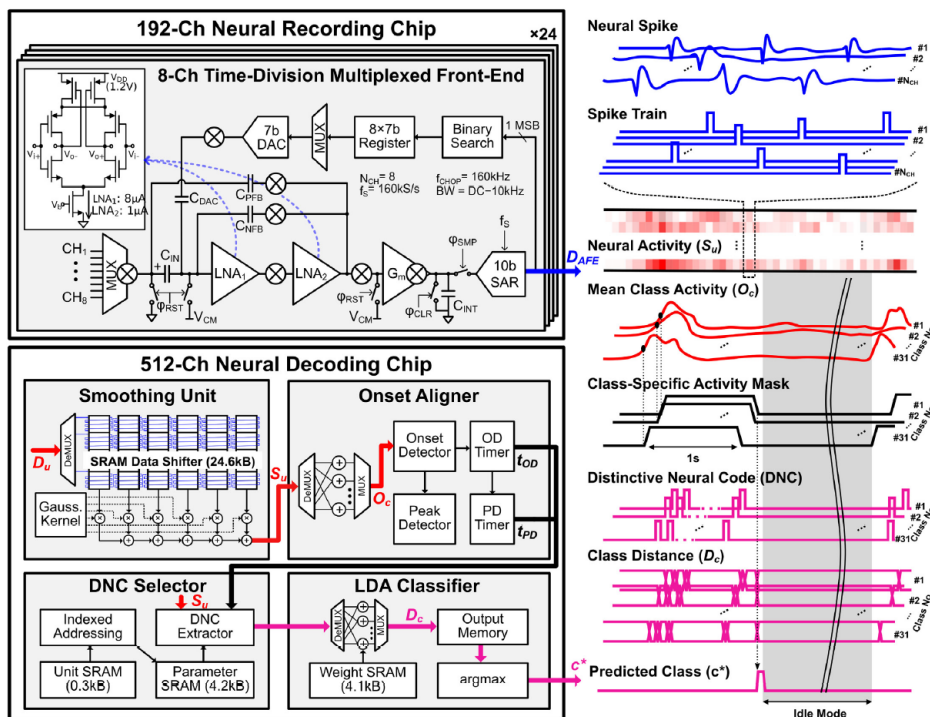


[그림 3] #3-4 논문에서 제안하는 Embedded dynamic BGR 기반의 ADC.

### Session 33 : Intelligent Neural Interfaces and Sensing Systems

Session 33 에서는 On-body wearable과 In-body Implant을 위한 Intelligent Neural Interfaces and Sensing Systems에 대한 총 11편의 논문이 발표되었다. 이 중, Brain machine interface (BMI) chipset과 Neuromodulation chipset network에 대한 2개의 논문을 살펴보고자 한다.

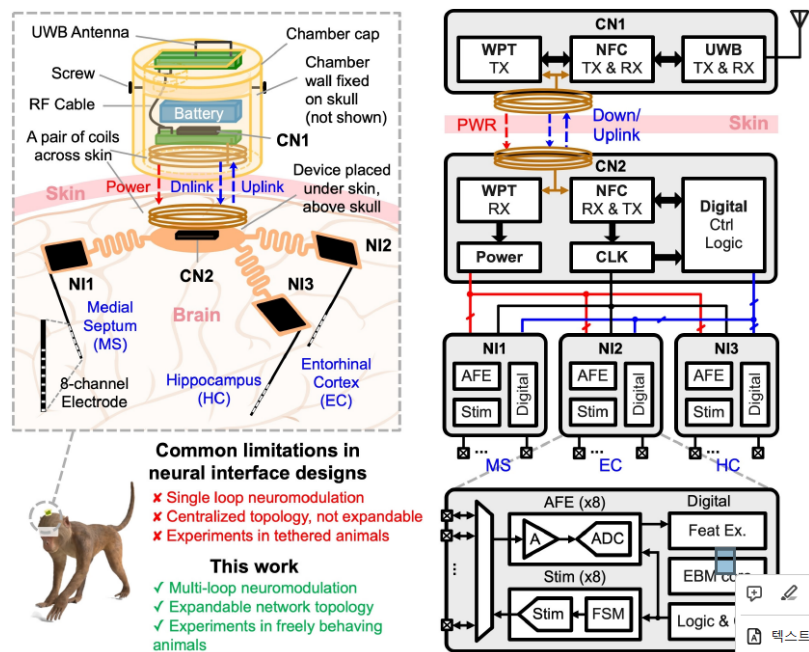
#33-3 본 논문은 EPFL에서 발표한 논문으로, Brain-to-text conversion을 위한 저전력, 초소형의 BMI chipset을 제안한다. 해당 Chipset은 192-채널 고대역폭 Neural recording AFE와 저차원의 Distinctive neural codes (DNCs)를 이용한 512-채널의 Neural decoder로 구성된다. 기존 BMI와 비교할 때, DNC classification을 통해 Decoding accuracy와 Data rate reduction을 향상하였다. 또한, 24개의 8-채널 Time-division multiplexing을 이용하여, 192-채널 Neural recording chip의 사용 전력과 면적을 줄였다. 그 결과로서 192-채널 Neural recording chip에 대해  $0.009\text{mm}^2$  Area/ch,  $3.44\mu\text{W}$  Power/ch, 512-채널 Neural decoding chip에 대해 약 90%의 Accuracy와 함께  $0.0015\text{mm}^2$  Area/ch,  $0.44\mu\text{W}$  Power/ch을 달성하였다.



[그림 4] #33-3 논문에서 제안하는 BMI chipset 구조.

#33-4 본 논문은 University of Toronto에서 발표한 Multi-loop neuromodulation chipset network에 관한 논문이다. 기억 능력과 가장 밀접한 뇌의 Hippocampus (HC) 부분을 직접적으로 자극하면 기억 손상을 유발하므로, Medial septum (MS)와 Entorhinal cortex (EC)로 구성된 Multi-loop neuromodulation을 활용한다. 전체 시스템은 각 세 부위에서 Neural recording AFE와 Stimulation

로 구성된 Neural interface와 세 부위의 중심 노드에 무선 전력/데이터 전송 회로로 구성된다. 특히, Neural recording AFE는 3개의 mode로 동작할 수 있으며, Low-noise amplifier와 Continuous-time ADC를 통해 Recording signal에 따른 Bandwidth와 Resolution을 지원할 수 있다. 또한, On-chip으로 구현된 Accelerated feature extraction engine과 Explainable boosting machine 기반의 Closed-loop stimulation은 Energy efficiency와 Latency를 향상시켰다. 그 결과로서 Multi-loop neuromodulation이 In-vivo 실험을 통해 검증되었고,  $0.19\mu\text{J}/\text{class}$ 의 Energy, 99.3%의 Specificity, 98.5%의 Sensitivity를 달성하였다.



[그림 5] #33-4 논문에서 제안하는 Multi-loop neuromodulation chipset network 구조.

## 저자정보



### 최우준 교수

- 소 속 : 경희대학교 전자공학과
- 연구분야 : Sensor Interfaces, Biomedical Circuits and Systems, Analog/Mixed-Signal ICs
- 이 메 일 : wjchoi@khu.ac.kr
- 홈페이지 : <https://sites.google.com/view/mickhu>



# 2024 International Solid-State Circuits Conference (ISSCC) Review

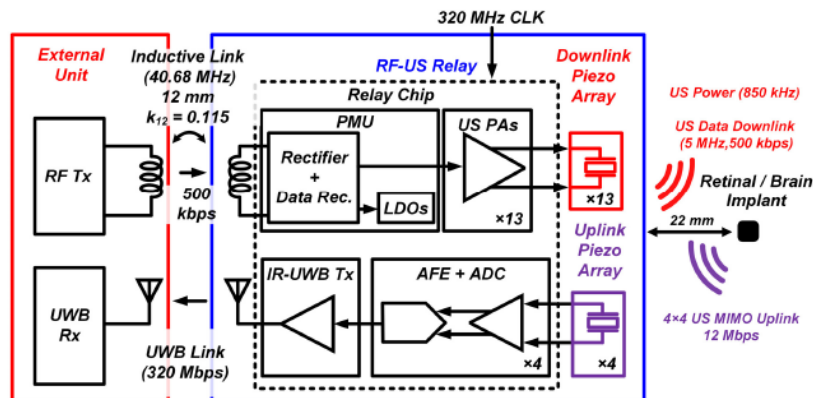
명지대학교 전자공학과 박병철 교수

Topic : Sensor

## Session 6. Imagers and Ultrasound

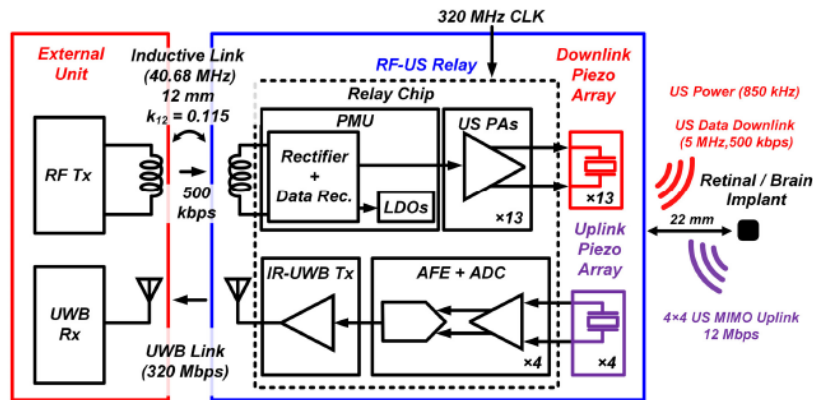
이번 ISSCC 2024의 Session 6는 Imagers and Ultrasound 라는 주제로, 총 10편의 Ultrasound MIMO relay, Resonant High-voltage Pulsers, Ultrasound Imaging, LiDAR, 및 CMOS Image Sensor들이 소개되었다. 작년에 전체 Session에서 Ultrasound Imaging 센서가 1편 발표된 것과 달리, 올해는 총 4편의 센서가 소개되었다는 것을 주목할 만하다.

Stanford University에서 발표한 #6.1 논문은, Neural Interface의 application에서 사용하기 위한 RF-Ultrasound Multiple-input Multiple-output 센서로서, 16개의 채널과, 12Mb/s의 업링크 데이터 전송 속도, 그리고 임플란트의 위치의 변화와 파워 서플라이의 흔들림에 강한 특징을 갖는다. 40.68MHz 주파수와 12mm 거리를 갖는 외부 인덕티브 링크 유닛을 통해 무선 전원 공급과 다운링크 데이터를 제공하며, 12개의 Power-Management Unit (PMU)이 Piezo 어레이를 구동하며 빔포밍 기법을 통해 임플란트에 Ultrasound 파워를 전달하고, 추가로 1개의 PMU가 다운링크 데이터를 임플란트에 전달한다. 이후, 임플란트의 업링크 데이터를 4개의 Piezo 어레이를 통하여 수신하고, 이를 ADC를 통해 읽어들이고, 외부 유닛에 UWB 링크를 통해 데이터를 전달한다.



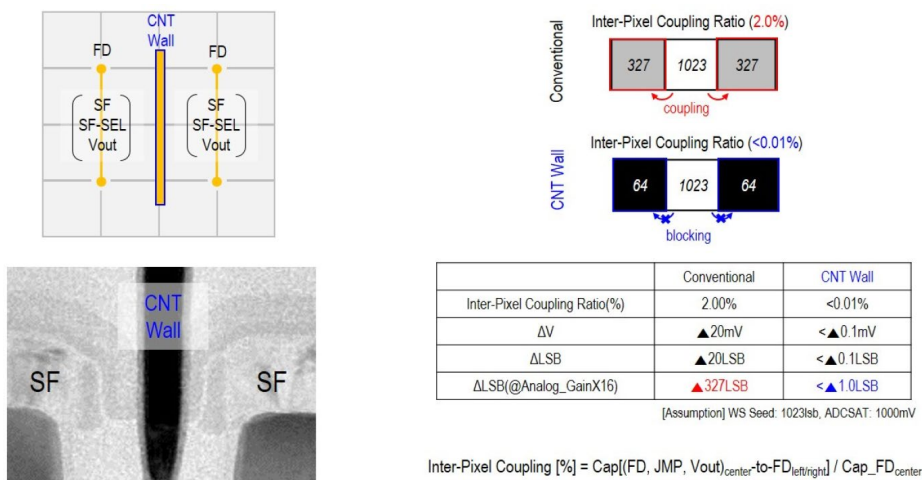
[그림 1] #6.1 논문에서 제시된 RF-US 릴레이 센서의 시스템 블록 다이어그램

National University of Singapore에서 발표한 #6.5 논문은, 듀얼 밴드를 활용한 Ultrasound Imaging System (UIS)이다. 기존의 UIS들이 이미징을 위해 단일 주파수만 사용한것과는 달리, 본 논문에서는 두가지의 주파수를 활용하여, Low Frequency로는 장거리(~7m)의 검출을 가능하게 하고, High Frequency를 활용하여 단거리(~1m)에서 높은 공간해상도 (0.5°)를 얻어냈다. 이는 기존에 발표된 논문 대비 5.1배의 개선된 수치이다. 이를 달성하기 위해, 8x8 pulk Piezo 어레이를 활용하였으며, 64개의 TRX 채널을 한 칩에 구현하였다.



[그림 2] #6.5 논문에서 제시된 하이브리드 듀얼 밴드 UIS의 개념도

Samsung Semiconductor에서 발표한 #6.10 논문은, 0.5μm 피치를 갖고 Inter-PD overflow (IPO) 경로를 공유하는 Quad-PD로 구성되어 있으며, 이를 통해 높은 Full-well Capacity와 Conversion Gain, 넓은 pixel 내 amplifier의 면적과 증가된 감도를 동시에 얻을 수 있다. 또한 픽셀 간의 커플링 문제를 해결하기 위해 Metal Contact (CNT) Wall을 활용하였으며, 이를 통해 기존 픽셀 대비 coupling ratio를 200배 이상 개선하였다.

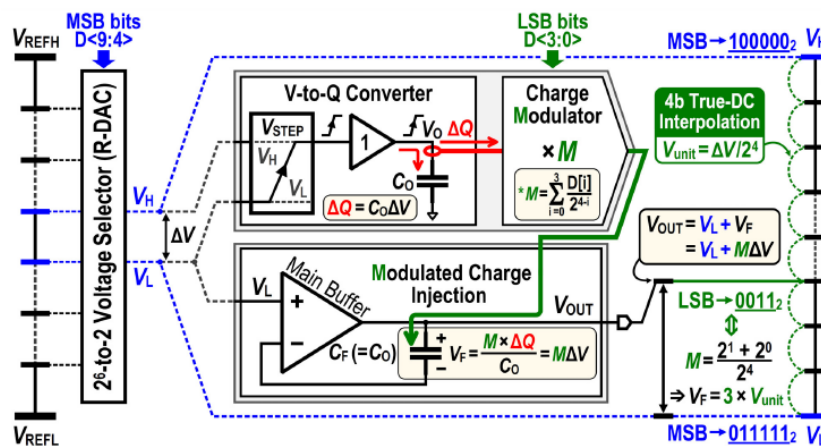


[그림 3] #6.10 논문에서 제시된 Quad-PD의 평면도와, CNT wall을 통해 픽셀 간섭을 줄인 결과

## Session 26. Display and User Interaction Technologies

이번 ISSCC 2024의 Session 26에는 Display and User Interaction Technologies 라는 주제로 총 5편의 Source-driver IC 및 Capacitive sensing 논문들이 발표됨. 작년 3편 대비 많은 논문이 발표되었으며, Capacitive sensing쪽 논문들이 많이 발표됨을 주목할 만하다.

KAIST에서 발표한 #26.1 논문은, 10b 해상도를 갖는 600 채널, OLED 디스플레이용 Source-driver IC에 관한 내용이며, 빠른 1-H 타임을 통해 240Hz의 높은 프레임 레이트를 달성할 수 있었음. 이는 'Conversion-while-Drive' 기법과 Charge-Modulating (QM) DAC을 통해 1-H 타임을 1.5 $\mu$ s까지 감소시킴. 또한 Path-swapping Fast Slew Rate을 아웃풋 버퍼에 적용시킴으로써, 회로의 면적과 소모 전력을 감소시킴. 또한, 기존의 FSR 대비 11배 이상 개선된 22V/ $\mu$ s의 높은 Slew Rate와 10b의 해상도를 동시에 달성함. 이 결과는 UHD 해상도 기준 240Hz의 높은 프레임 레이트를 달성할 수 있는 수치임.



[그림 4] #26.1 논문에 제시된 1.5 $\mu$ s의 1-H 타임을 구현하기 위한 QM DAC의 블록도

## 저자정보



### 박병철 교수

- 소 속 : 명지대학교 전자공학과
- 연구분야 : SPAD/APD-based Image Sensor
- 이 메 일 : bcpark@mju.ac.kr

# 2024 International Solid-State Circuits Conference (ISSCC) Review

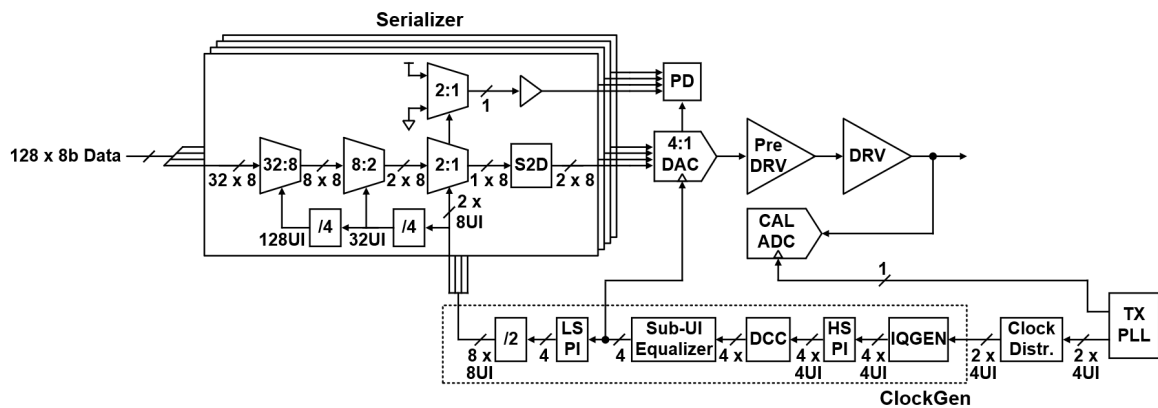
연세대학교 시스템반도체공학과 박관서 교수

## Topic : Wireline

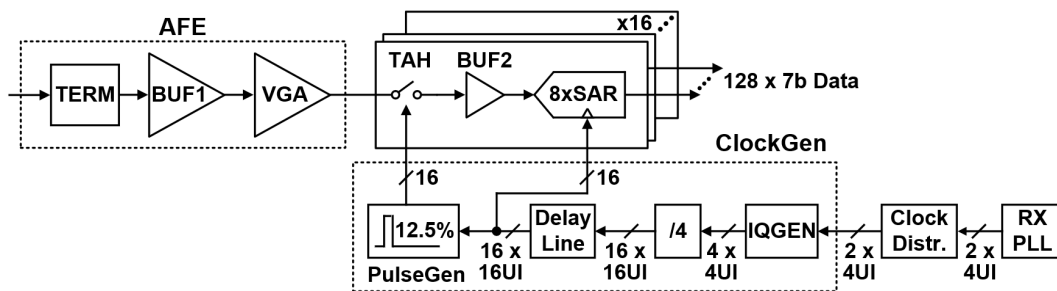
### Session 7 : Ultra-High Speed Wireline

이번 ISSCC2024의 Session 7은 Ultra-High Speed Wireline이라는 주제로 총 9편의 논문이 발표되었다. 이 세션에서는 초고속 유선통신을 위한 송수신기 개발에서 데이터 속도와 에너지 효율을 높이는 것에 중점을 두었고 고성능 클록 생성기에 대한 논문들도 발표되었다.

**#7-1 Marvell**, 본 논문은 DSP기반의 초고속 송수신기에 대한 발표이고 5nm FinFET에서 구현하였다. 최초의 212Gb/s의 동작속도를 가지고 direct optical detection을 위한 PAM-4 송수신기이고 아날로그 에너지 효율이 2.69pJ/b으로 기존 최고 성능의 112Gb/s 송수신기들과 비슷한 수준을 달성했다. 그림 1과 같이 송신기는 4-way time interleaved DAC과 linear driver로 구성되어 있고 RJ (72fsrms), Amplitude (0.78Vppd), RLM (0.98)의 성능을 달성한다. 수신기는 wideband AFE와 128-way time-interleaved ADC로 구성되고 3-dB BW (>53GHz), SNDR (=36dB), pre-FEC BER (<1e-12)으로 고성능이면서 안정적인 동작을 제공한다. 높은 완성도의 설계면서 적은 파워를 사용하는 인상 깊은 논문이다.



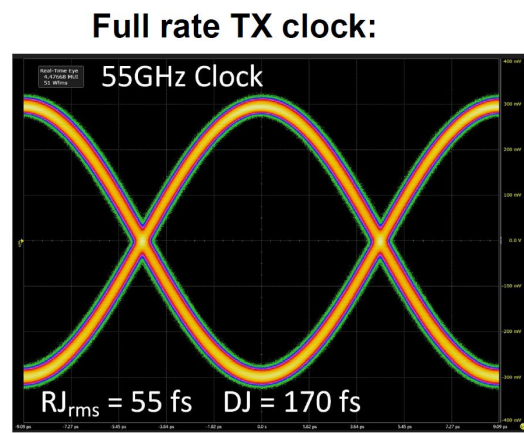
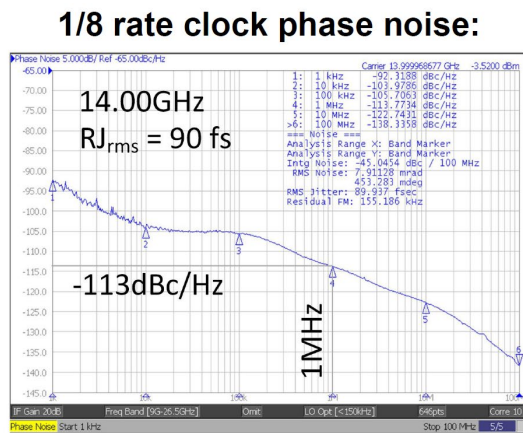
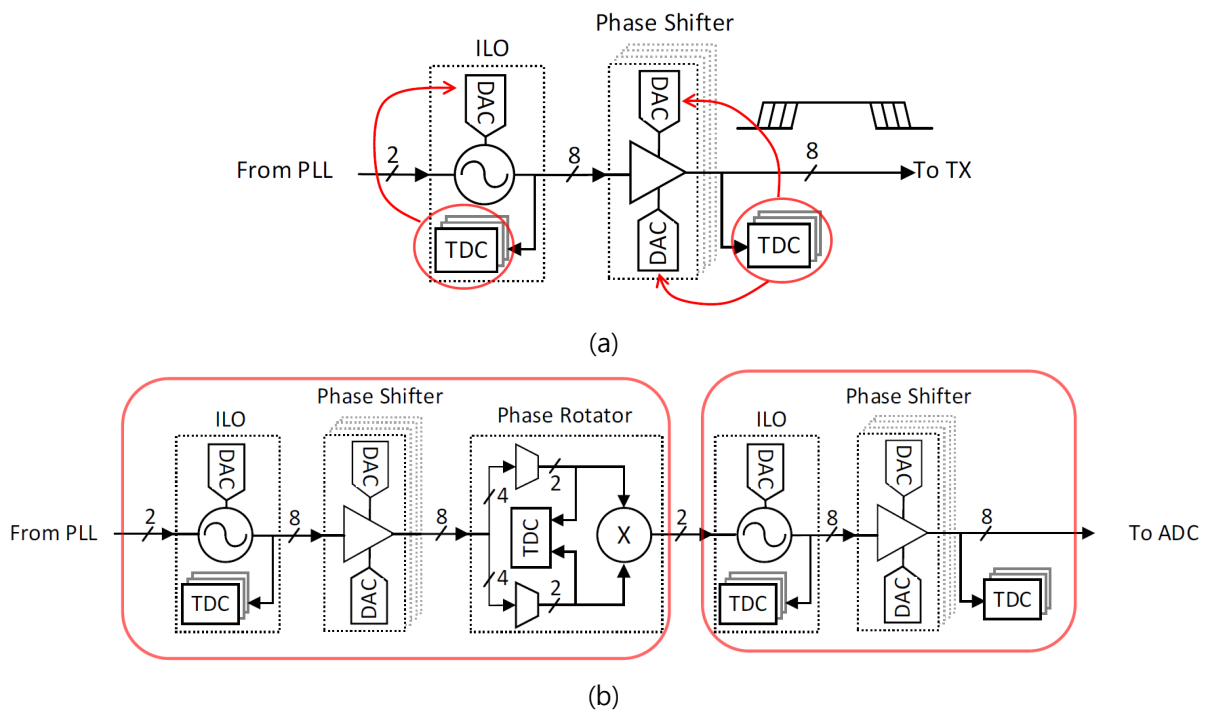
(a)



(b)

[그림 1] 212Gb/s 송수신기의 전체적인 구조를 보여주는 블록 다이어그램 (a) 송신기 (b) 수신기

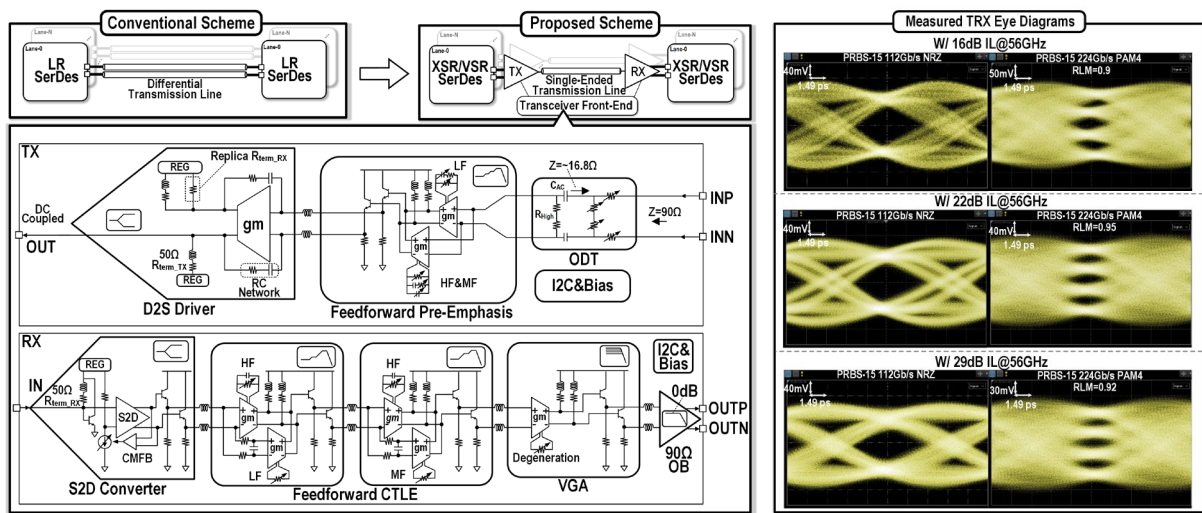
**#7-3 Synopsis,** 본 논문은 3nm FinFET에서 개발한 224Gb/s의 동작속도를 가지고 40dB loss까지 보상이 가능한 Long reach용 송수신기에 대한 발표이다. 고성능 송수신기를 달성하기 위해 클록 쪽에 신경을 많이 쓴 논문이다. 그림2와 같이 TDC 기반의 클록 조절기를 구현하였고 이는 송신기와 수신기에 각각 적합한 구조로 포함되었다. 이 클록 조절기를 통해 송수신기에서 필요한 여러 위상의 클록을 생성하고 보정하여 RJ (55fsrms), DJ (170fs)이라는 적은 지터를 가지는 클록을 생성하였다. 송신기는 7b DAC기반의 driver과 8:1 multiplexer로 구성하였고 여기에 클록 조절기에서 만든 클록을 사용하였다. 수신기는 인버터 기반의 AFE와 7b ADC로 구성하였다. AFE는 peaking 주파수를 50GHz 이상, peaking gain 최대 20dB를 달성하였고 ADC는 50GHz에서 ENOB 4b을 얻었다. 이 송수신기는 40dB loss까지 동작을 하며 pre-FEC BER을 1e-6을 달성하였다. 초고속 송수신기에서 long reach를 타겟하여 40dB loss까지 보상을 했음에도 에너지 효율이 3pJ/b이라는 굉장히 좋은 성능을 얻었다는 점이 높은 완성도를 보여준다.



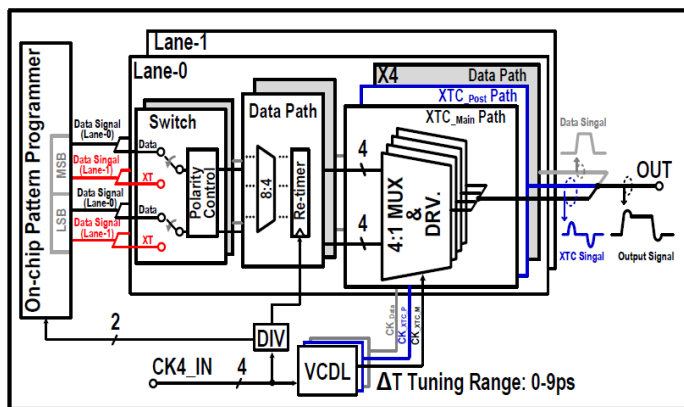
(c)

[그림 2] (a) 송신기용 클록 조절기 (b) 수신기용 클록 조절기, (c) 클록 측정 결과

#7-5, 7-6 Southern University of Science and Technology, 단일단 시그널링을 활용한 224Gb/s, 112Gb/s급 송수신기가 같은 연구그룹에서 발표되었다. 우선, 그림3과 같이 224Gb/s PAM-4 송수신기는 long reach 어플리케이션을 타겟하여 29dB loss까지 보상하고 총 4개의 채널을 만들어서 검증을 하였다. 송수신기는 differential-to-single driver를 활용하였고 signal integrity를 높이기 위해 group delay variation 보상 기법을 적용하였다. 수신기에서는 noise immunity를 좋게하기 위해 single-to-differential 변환기에서 power bounce cancellation 회로를 추가하였다. 결과적으로 SiGE 130nm 공정에서 구현된 송수신기는 224Gb/s의 동작속도와 29dB의 채널 손실에서 1E-12의 BER을 달성하였고 2.08pJ/b의 에너지 효율을 얻었다. 두번째로는 112Gb/s의 송수신기이며 Crosstalk 보상에 초점을 맞춘 연구이다. 그림 3과 같이 재구성가능한 crosstalk 보상 기법을 개발했고 TX FIR 기반으로 voltage를 빼고 더해주는 식으로 구성되었다. 수신기에서는 mismatch를 줄이는 single-to-differential 회로와 4-way interleaved 4-tap FFE를 활용하여 gain mismatch와 ISI를 줄이도록 했다. 결과적으로 28nm CMOS 공정에서 구현된 송수신기는 2.77pJ/b의 에너지 효율과 31dB loss까지 보상하며 1e-10 이하의 BER을 달성하였다.

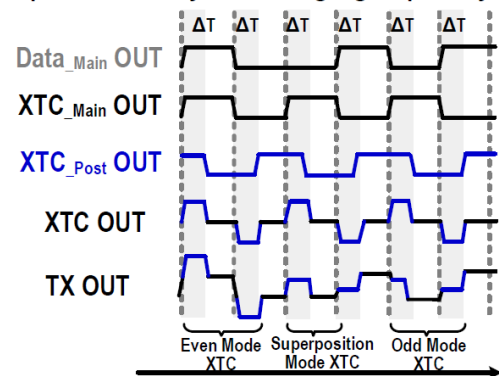


(a)



### Timing Diagram

Examples of inductive XTC, implement capacitive XTC by controlling signal polarity



[그림 3] (a) 224Gb/s 송수신기 블록도와 측정결과, (b) Crosstalk cancellation 기술



## 저자정보

---



### 박관서 교수

- 소 속 : 연세대학교 시스템반도체공학과
  - 연구분야 : High Speed I/O
  - 이 메 일 : kwansoo@yonsei.ac.kr
  - 홈페이지 : aics.yonsei.ac.kr
-

# 2024 International Solid-State Circuits Conference

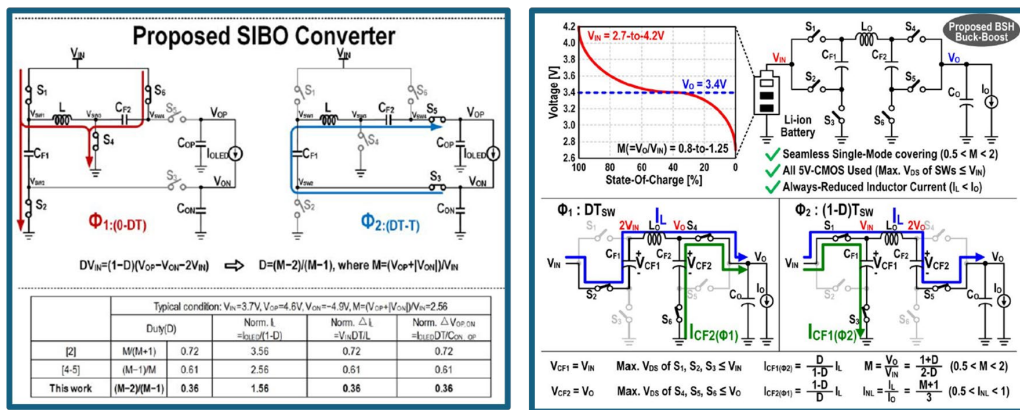
## (ISSCC) Review

숙명여자대학교 전자공학전공 정준원 교수

Topic: Power

### Session 8: Hybrid DC-DC Converters

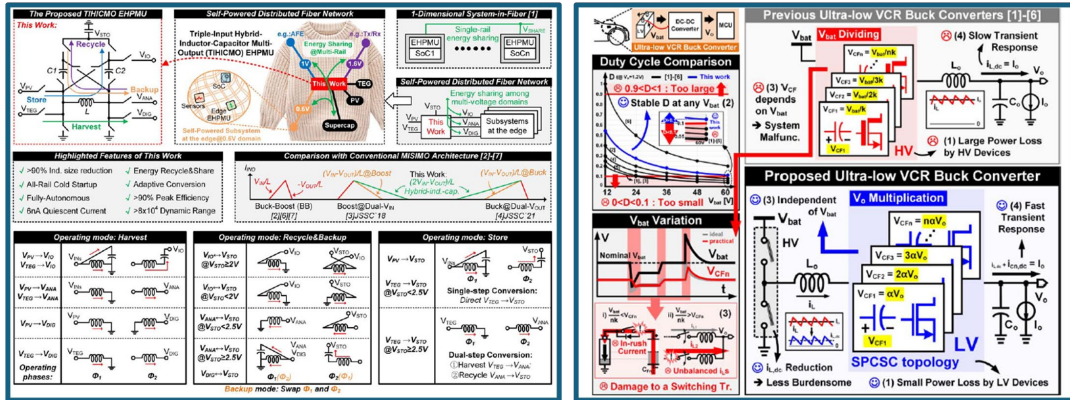
Session 8에서는 inductive switching converter와 switched capacitor를 합친 hybrid 구조의 DC-DC converter가 11편 소개되었다. 높은 전력변환효율, 높은 전력밀도, 빠른 과도응답, 높은 입력 전압 달성 등이 Session 8에 수록된 논문들의 주된 목표이다.



[그림 1] (좌) SIBO converter와 (우) buck-boost converter의 power stage

#8.1은 AMOLED 용 single-inductor bipolar-output (SIBO) 변환기를 소개했다. 기존 state-of-the-art SIBO 기술 대비 전력변환효율이 7% 상승했고, die 면적 기준 전력 밀도는 2배 상승했다. 뿐만 아니라 요구되는 인덕터 값을 2.2  $\mu\text{H}$ 로 줄였으며, 출력 리플 전압, 과도 응답 역시 기존 기술 대비 좋아졌다. Power stage에 기존 대비 flying 커패시터와 스위치를 하나씩 더 추가했는데, 이로 인해 듀티 사이클이 41% 줄어들어 결과적으로 인덕터 전류, 인덕터 전류 리플, 출력 전압 리플이 모두 줄어들었다. Bipolar 출력을 common-mode 와 differential mode 로 나누어 제어하여 과도 응답 특성을 향상시켰다.

#8.2 는 hybrid 방식의 buck-boost 변환기를 소개했다. 주된 특징은 Seamless 한 buck-boost 모드 변환과, 높은 전력변환효율이다. 이를 달성하기 위한 본 논문은 인덕터 양단에 Flying 커패시터 두 개를 대칭적으로 배치한 power stage 구조 (Bilaterally-symmetrical hybrid, BSH)를 제안했다. 이를 통해 기존 기술과 달리 flying 커패시터 전압이 입력 전압에 따라 연속적으로 변하여 seamless 한 모드 변환이 가능하다. 또한 BSH 구조로 인해 buck 과 boost 모드 모두에서 인덕터 전류 저감 가능하여 높은 전력변환효율을 달성했다. 뿐만 아니라 모든 전력 스위치 양단 전압을 4.2 V 이하로 내릴 수 있어 5 V CMOS TR 을 이용해 전력 스위치 구성이 가능하다.



[그림 2] (좌) energy harvesting 용 PMU <#8.5>, (우) 고전압용 buck converter <#8.6>

#8.5 는 에너지 하베스팅용 전력관리시스템 (PMU)을 소개했다. 해당 PMU 는 6 nA 의 낮은 대기전류를 소모하고, 88000x dynamic range 의 전력을 출력한다. 90.1%의 높은 효율을 나타내며 인덕터 사이즈를 기존 기술 대비 90% 이상 저감시켰다. 대기전류 저감 및 효율 향상을 위해서 전력 스위치 구동 전압을 최적화, event-driven 기술을 적용, I/O standard 셀을 최적화, constant peak inductor current 방식을 적용했다. 인덕터 저감을 위해서 커패시터가 추가 적용된 hybrid power stage 를 제안했다. 이를 통해 인덕터 전압을 감소시킬 수 있기 때문에 인덕터 값을 줄일 수 있다.

#8.7 은 고전압용 (12 V to 60 V) hybrid buck converter (1.2 V 출력)를 소개했다. 높은 전력변환효율 (최대 92.7%)을 얻었다. 뿐만 아니라 기존 고전압 converter 기술의 매우 높은 (혹은 낮은) duty cycle 문제, 입력 변화에 따른 flying 커패시터 전압 변동 문제, 느린 과도 응답 문제를 완화했다. 기존 고전압 converter 는 인덕터와 입력 사이에 switched-capacitor 를 배치한 것과 달리 본 논문에서는 인덕터와 출력 사이에 switched-capacitor 를 배치하는 serial-parallel-connected switched-capacitor (SPCSC) 기술을 제안했다. 따라서 switched-capacitor 에 저전압 전력 스위치 사용이 가능해져서 전력변환효율이 향상된다. 인덕터와 입력 사이에는 고전압 전력 스위치를 사용해야 하지만 SPCSC 구조 덕분에 인덕터 전류가 저감 되기 때문에 전력변환효율에 미치는 영향이 크지 않다. 해당 switched-capacitor 의 flying 커패시터 전압은 최종 출력 전압의 배수로 설정하여 입력 dependency 를 완화했다. 또한, Switched capacitor 를 통해 부하를 공급하기 때문에 과도응답 특성이 개선된다.

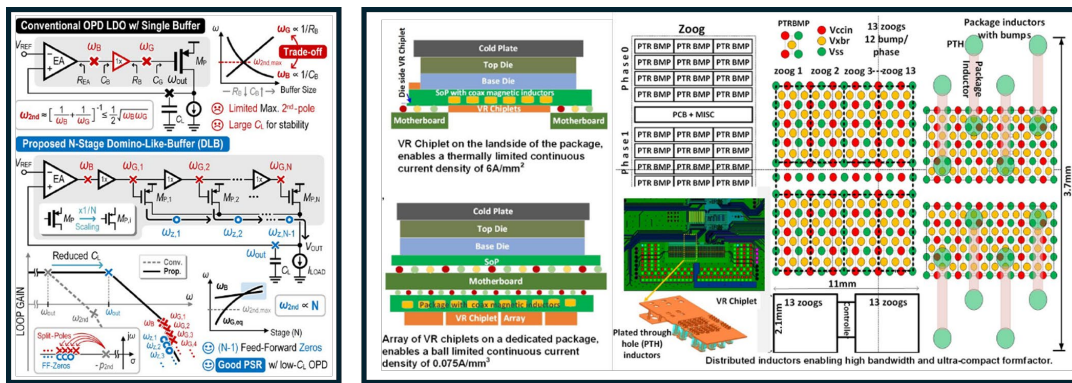
### Session 28: High-Density Power Management

Session 28에서는 높은 전력밀도의 LDO, inductive DC-DC converter, switched-capacitor, hybrid converter 등이 발표되었다.

#8.1은 집적 analog LDO를 소개했다. 넓은 주파수 범위에서 높은 PSRR을 얻는 것을 목표로 하였다. LDO 출력이 dominant pole인 경우, 버퍼를 통해 내부 pole을 고주파수로 보내거나 LDO 출력 커패시터를 키워서 stability 확보가 가능하다. 하지만 버퍼를 이용해 내부 pole을 일정 이상의 고주파수로 보내는 것은 한계가 있고, 큰 LDO 출력 커패시터를 사용하면 면적이 커지는 문제가

있다. 본 논문에서는 이를 해결하고자 버퍼를 domino 형식으로 직렬 연결하였다. 이를 통해 내부 pole이 여러 개로 분리되고, 이와 동시에 feedforward zero가 추가되어 pole들을 상쇄시킨다. 따라서 내부에는 고주파의 pole 하나만 나타나게 되고, 크지 않은 LDO 출력 커패시터로도 stability 확보가 가능하다. 50 pF의 출력 커패시터를 사용하여 (active area는 0.012 mm<sup>2</sup>), 10 mA의 로드 전류를 공급한다. 10 kHz까지 -60dB, 1 MHz에서 -36dB, 1 GHz에서 -57dB의 PSRR을 나타낸다.

#28.6은 kW 급 SoP (System-on-Package)용 chiplet DC-DC 변환기 기술을 소개했다. 입력은 1.75 V, 출력은 1 V이다. 기존 기술 대비 40배 높은 부하전류 공급이 가능하다. 대전류 공급으로 인한 전력 손실 저감, 열관리, 데이터 송수신 등을 위해 수직 chiplet DC-DC 변환기 기술이 요구된다고 소개했다. 해당 변환기는 Ganging을 통해 500 A까지 공급이 가능하며, 52개의 phase, on-package magnetic 인덕터, 16 nm finFET CMOS로 구성된다. 높은 thermal design current (TDC) 확보를 위해 단위 zoog를 제어기 기준 대칭적으로 배치했고, 624개의 bump 가 사용됐다. 그 결과, 5년 수명의 200 A의 TDC를 확보했다. Active phase current balancing (PCB) 기술이 적용되었다. Active area는 11.3 mm<sup>2</sup>이다.



[그림 3] (좌) 높은 PSRR의 LDO <#28.1>, (우) 대전류용 chiplet DC-DC converter <#28.6>

## 저자정보



### 정준원 교수

- 소 속 : 숙명여자대학교 전자공학전공
- 연구분야 : Sensor Readout ICs / Power Management ICs
- 이 메 일 : jwjeong@sookmyung.ac.kr
- 홈페이지 : <https://sites.google.com/sookmyung.ac.kr/csl>

# 2024 International Solid-State Circuits Conference

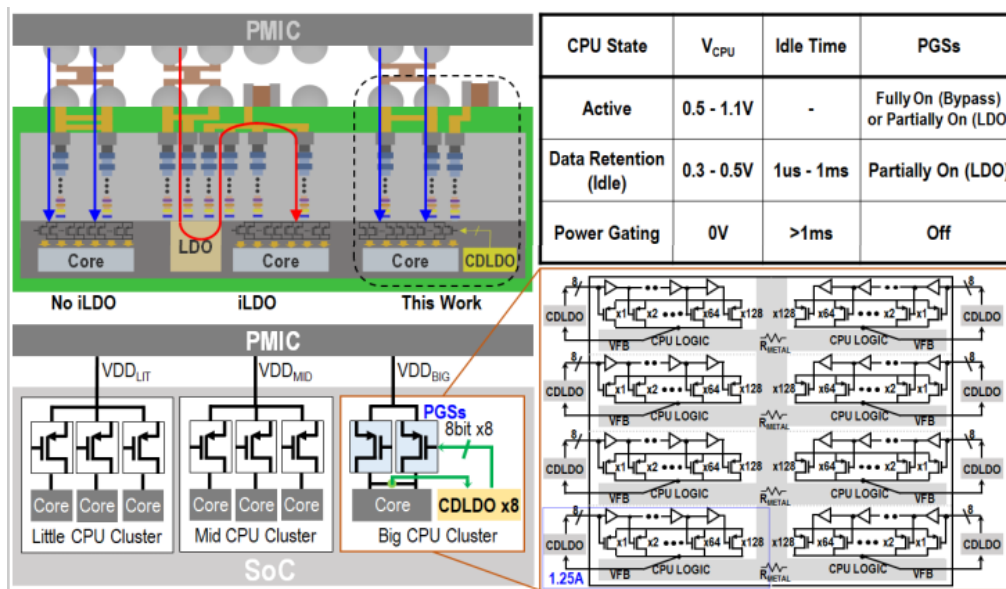
## (ISSCC) Review

경북대학교 전자공학부 조건희 교수

### Session 14: Digital Techniques for System Adaptation, Power Management and Clocking

이번 ISSCC 2024의 Session 14는 Digital Techniques에 관련된 10편의 논문이 발표되었다. 이 중 2편의 논문(14.6, 14.10)이 넓은 영역의 Digital System에 안정적인 전력공급을 위한 Distributed Digital LDO 관한 설계 기술에 대해 발표하였다.

#14.6 은 삼성전자에서 발표한 논문으로, 3nm GAAFET 공정을 이용한  $263\text{A}/\text{mm}^2$  current density를 얻은 Computation Digital LDO 설계에 관한 논문이다. 최근 모바일 프로세서의 클러스터 및 코어의 수가 증가하는 가운데, 안정적인 전원 공급을 위해 power gating switch (PGS)를 integrated LDO (iLDO)로 이용하는 설계를 제안하였다. 또한 빠른 응답을 위해 time-based exponential control (TEC) with slope detector를 제안하였으며, 안정적인 동작을 위해 step-back과 negative-step control을 이용하였다. 3nm GAAFET 공정을 이용하여 설계된 LDO의 경우 매우 높은 current density 성능 ( $263\text{A}/\text{mm}^2$ )을 보여주었으며, 빠른 응답 (9.32ps FOM) 또한 얻을 수 있었다.

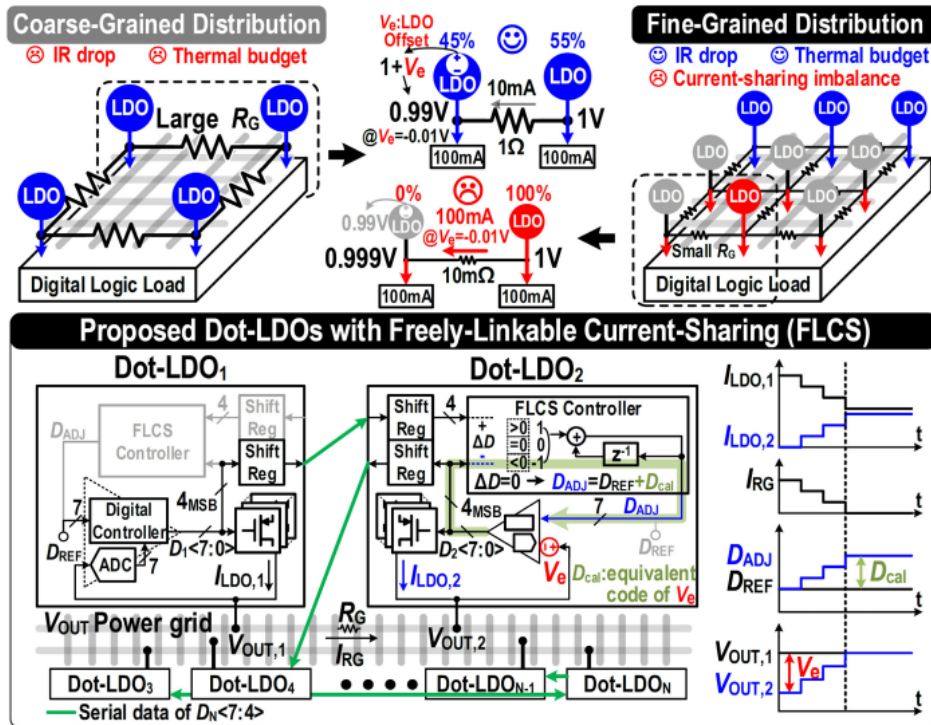


[그림 1] 제안한 computation LDO의 시스템 레벨 구성도

#14.10 은 KAIST에서 발표한 논문으로 28nm 공정을 이용한  $34.7\text{A}/\text{mm}^2$  current density를 얻은 scalable distributed digital LDO 설계에 관한 논문이다. Distributed LDO의 간격을 좁게 할수록 (Fine-grained distribution), 넓은 영역에서도 더욱 균등한 레벨의 전력을 공급해 줄 수 있다. 하지



만, fine-grained distribution을 구현할 경우 current sharing imbalance 문제를 초래하게 된다. 이를 극복하고자, freely-linkable current sharing (FLCS) 방식을 제안하였다. FLCS를 통해 각 LDO에서 발생하는 offset을 상쇄시켜준다. 또한 current sharing 방식은 다양한 연결 network option 을 제공하며, 기존에 사용하던 global control 방식을 필요로 하지 않는다는 장점을 가지고 있다.



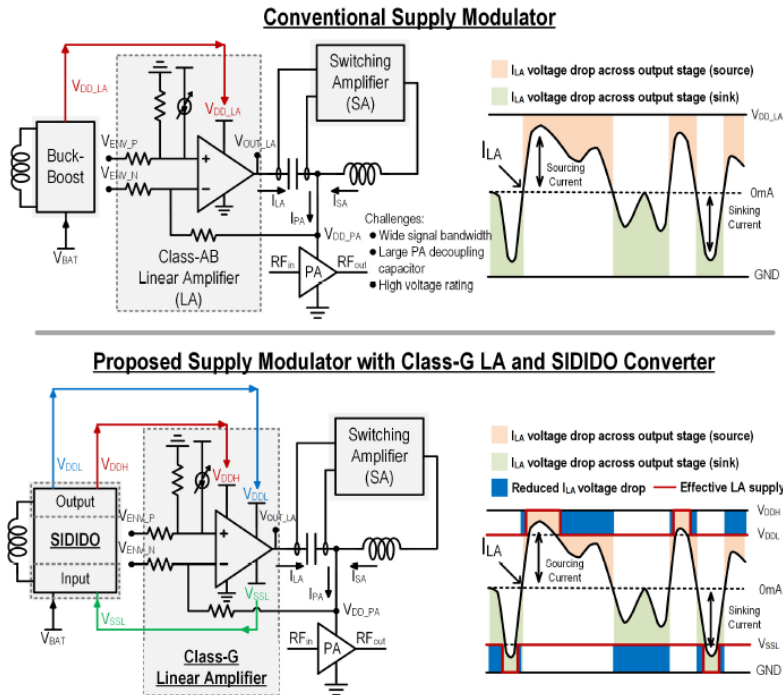
[그림 2] Coarse 및 Fine-grained distribution 형태의 비교 (위), 제안한 freely-linkable current sharing 방식 (아래)

### Session 31: Power Converter Techniques

이번 ISSCC 2024의 Session 31은 Power Converter Techniques에 관련된 11편의 논문이 발표되었다.  $\mu$ W부터 kW까지 다양한 전력 수준의 분야에서 높은 전력 효율을 얻은 Power Converter 구조들이 소개되었으며, Energy harvester, Automotive, Envelope tracking, Wireless power 등 다양한 application에 적용된 기술들을 선보였다.

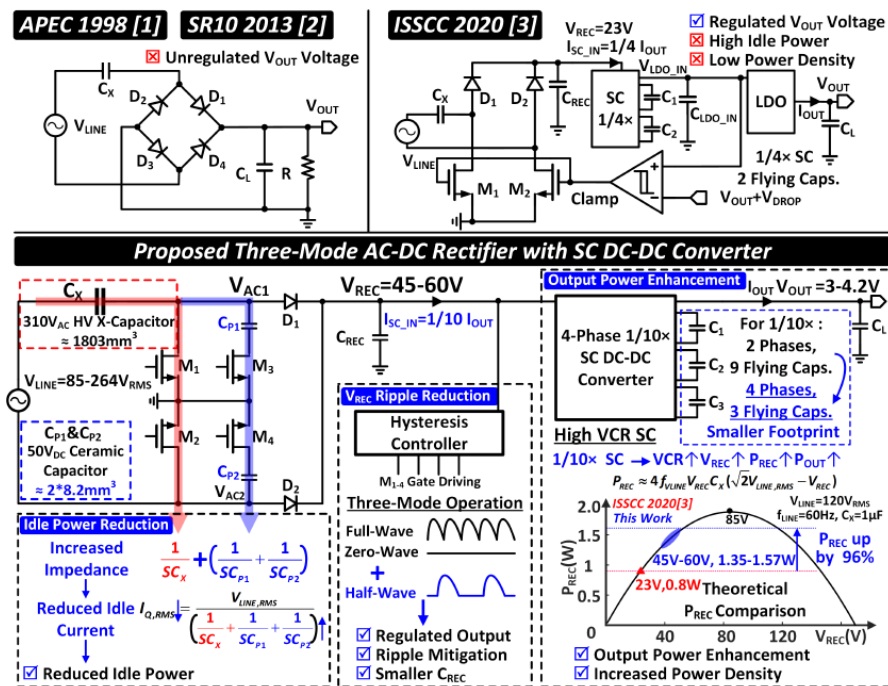
#31.1 은 중국과학기술대학에서 발표한 논문으로, 5G NR RF application에 적용하기 위한 envelope tracking supply modulator 설계기술을 발표하였다. 기존의 supply modulator의 경우 높은 효율을 갖지만 낮은 BW에서 동작하는 switching amplifier와 효율은 낮지만 높은 BW에서 동작하는 linear amplifier를 구성해서 동작을 하였다. 그러나 제안하는 방식의 경우 class-G 형식의 linear amplifier를 제안하였으며, class-G 동작을 위한 2개의 전원전압을 single-inductor dual-input dual-output (SIDIDO) buck-boost 컨버터로 구현하였다. 최대 출력 전력 2.4W에서 최고 효율 83.4%를 얻을 수 있었으며, 기존의 방식보다 2.3~4.9% 효율 증대를 보였다.





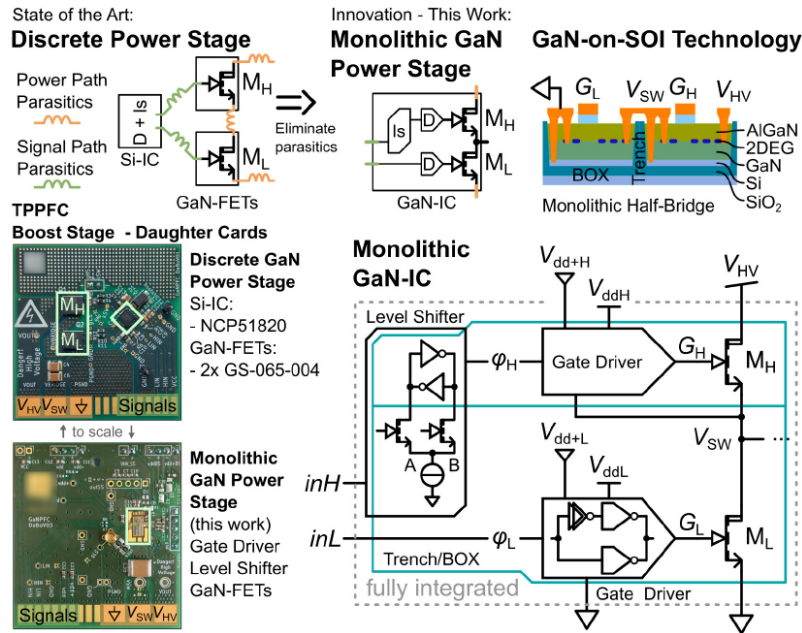
[그림 3] Conventional 구조 및 제안한 Supply Modulator 구조의 비교

#31.9 는 중국 남방과학기술대학에서 발표한 논문으로, 85-264Vac 를 3-4.2Vdc 로 변환하는 AC-DC 컨버터 설계 기술을 발표하였다. 새로운 구조의 AC-DC Rectifier를 제안함으로써 idle 전력을 크게 낮출 수 있었으며, 높은 전력을 구동하기 위해 V<sub>REC</sub> 전압을 높이는 대신, 높은 VCR을 갖는 DC-DC 컨버터를 이용하였다. 또한 작은 C<sub>REC</sub>를 사용하기 위해 AC-DC Rectifier에서 three-mode 동작을 제안하였다. 이를 통해 5.11mW idle 전력, 1.05W 최대 전력, 78.2%의 최대 효율을 얻을 수 있었다.



[그림 4] 제안한 AC-DC 컨버터 기술

#31.9 는 Leibniz University Hannover 에서 발표한 논문으로, Totem-pole PFC를 GaN IC를 이용하여 구현한 설계 기술을 발표하였다. Totem-pole PFC의 경우, 기존 boost converter 기반의 PFC 에서 diode를 제거할 수 있어서 더 높은 효율로 구동이 가능하다. 다만, 고전압 half-bridge 구조의 power-stage를 필요로 하는데, 이를 GaN IC로 구현함으로써 효율을 높일 수 있었다. Discrete 형태로 구현한 것과 GaN IC로 구현한 것에 대해 성능 및 scale에 대해 비교 측정 하였다.



[그림 5] Discrete vs monolithic GaN Power-stage

## 저자정보



### 조건희 교수

- 소 속 : 경북대학교 전자공학부
- 연구분야 : Power management ICs
- 이 메 일 : kunhee@knu.ac.kr
- 홈페이지 : <https://sites.google.com/view/icslab>

# 2024 International Solid-State Circuits Conference

## (ISSCC) Review

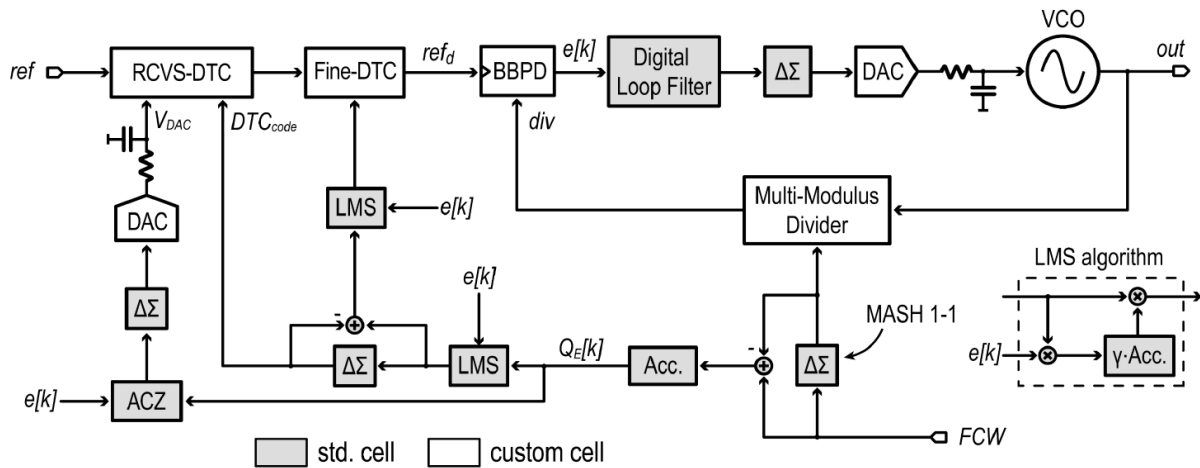
울산과학기술원 (UNIST) 전기전자공학과 윤희인 교수

Topic: PLL

### Session 10: Frequency Synthesis

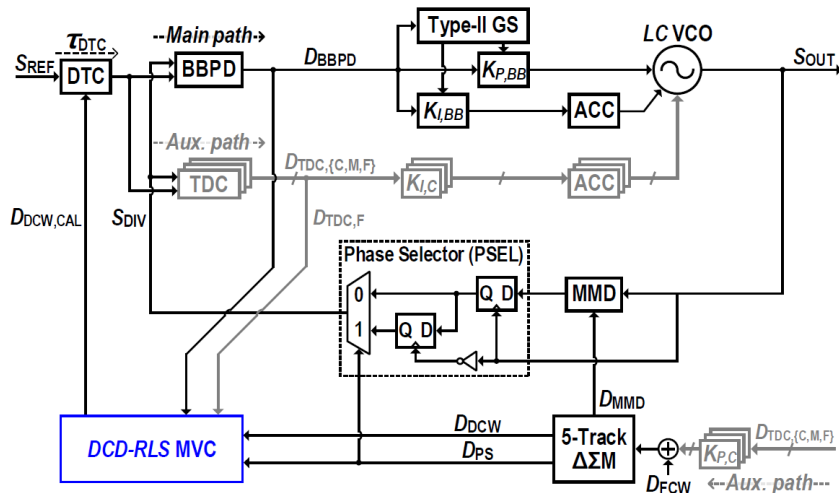
ISSCC 2024의 Session 10은 Frequency synthesis라는 주제로 총 9편의 논문이 발표되었다. 이 세션에서는 고성능 무선 통신 및 FMCW 레이더 시스템을 위한 GHz부터 THz에 이르는 디지털 및 아날로그 PLL 연구들이 다수 발표되었다.

#1-1 Politecnico di Milano에서는 28 nm CMOS 공정에서 Fractional-N digital PLL을 발표하였다. 제시된 PLL은 reverse-concavity variable-slope DTC와 디지털로 보정된 아날로그 predistortion을 동시에 활용하여 low-phase-noise 성능과 높은 선형성을 동시에 달성할 수 있었다. 본 연구는 57.3fs RMS Jitter, -63.4 dBc fractional spur, 그리고 8.75 GHz 아웃풋 주파수에서 -252.4 dB의 FoM을 달성하였다.



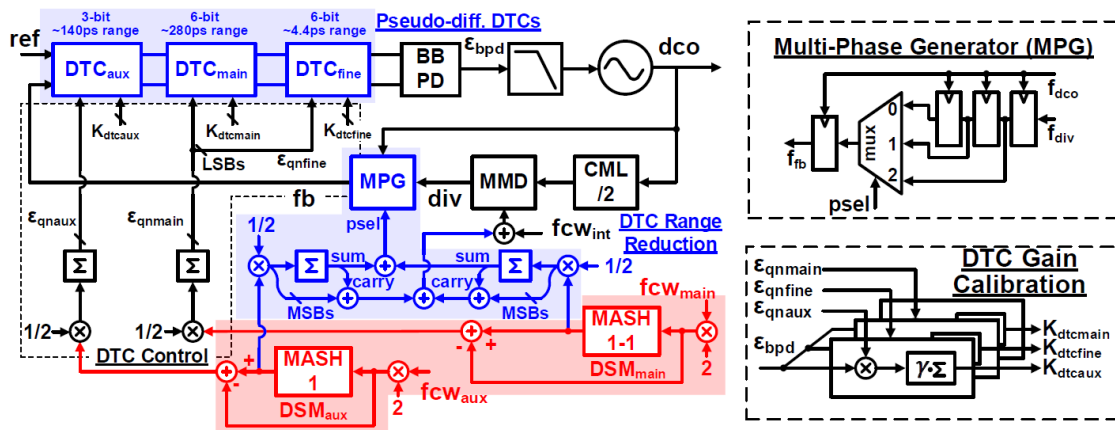
[그림 1] 제안된 PLL의 블록 다이어그램

#1-2 KAIST에서는 기존의 Least-Mean square (LMS) 알고리즘의 convergence에 걸리는 시간을 단축하기 위해서 Recursive-Least-Squares (RLS) 알고리즘을 디지털 PLL에 적용하여 약 400 us정도 걸리던 LMS의 convergence 시간을 RLS 알고리즘을 적용하여 5.5us로 단축시키는 연구를 제안하였다. RLS 알고리즘을 구현하는데 있어서 하드웨어의 복잡성을 줄이기 위해 Dichotomous Coordinate Descent-based (DCD)-RLS을 적용하였다. 본 연구는 88.0fs RMS Jitter, -68 dBc fractional spur, 그리고 8 GHz 아웃풋 주파수 부근에서 -249.1 dB의 FoM을 달성하였다.



[그림 2] 제안된 RLS-based PLL의 전체 블록 다이어그램

#1-3 Tokyo Institute of Technology에서는 digital pre distortion (DPD)를 쓰지 않고 fractional-N digital PLL의 fractional spur 성능을 높이기 위한 연구를 65nm CMOS를 이용하여 진행하였다. 낮은 주파수 대역에 위치하는 fractional spur들을 cascaded된 주파수 분주기와 두개의 ΔΣ modulation을 사용하여 PLL bandwidth보다 높은 주파수 대역으로 보냄으로써 jitter성능을 저하시키지 않고 효과적으로 fractional spur를 줄일 수 있음을 보여주었다. 본 연구는 -62.1dBc worst-case fractional spur, 그리고 7 GHz 부근에서 143.7fs rms jitter 및 -247.4dB의 FoM을 달성하였다.



[그림 3] 제안된 cascaded frequency divider를 이용한 fractional-N PLL의 구조

#1-4 University College Dublin 에서는 fractional, horn, and wandering spurs를 효과적으로 줄이기 위한 여러 방법들 중 an enhanced nonlinearity-induced noise performance (ENOP) digital  $\Delta\Sigma$  modulator를 0.18 $\mu\text{m}$ -SiGe-BiCMOS 공정에서 구현하여 fractional-N PLL이 45.5fs rms random jitter 와 -75dBc worst-case fractional spur 및 -118dBc reference spur를 6.56 GHz 근처에서 달성할 수 있음을 보여주었다. 0.18 $\mu\text{m}$ -SiGe-BiCMOS 공정을 사용하여 다른 논문들 대비 파워 소모가 심하지 만 (2100 mW), MASH를 사용한  $\Delta\Sigma$  modulator 구조와 비교하여 ENOP를 적용한 구조에서 실제적 으로 wandering spur가 효과적으로 줄어들고 동시에 jitter의 성능 열화 또한 MASH구조에 비해서 없음을 보여주었다.

### ENOP vs MASH 1-1-1

#### ■ MASH 1-1-1

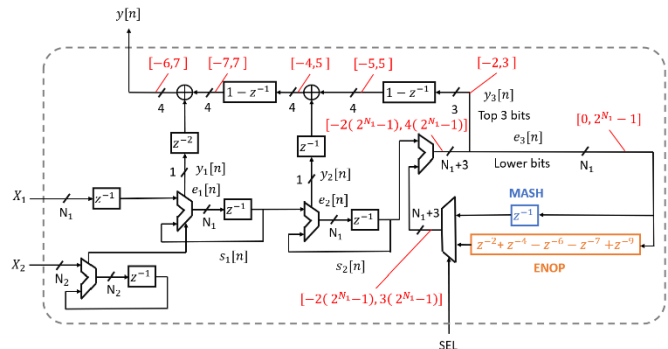
$$NTF_M(z) = (1 - z^{-1})^2(1 - z^{-1})$$

$$r = 2; p_{opt} = 3; p = 2 < p_{opt}, \sigma^2_{eacc} = 3/6 \text{ (both suboptimal)}$$

#### ■ ENOP P9

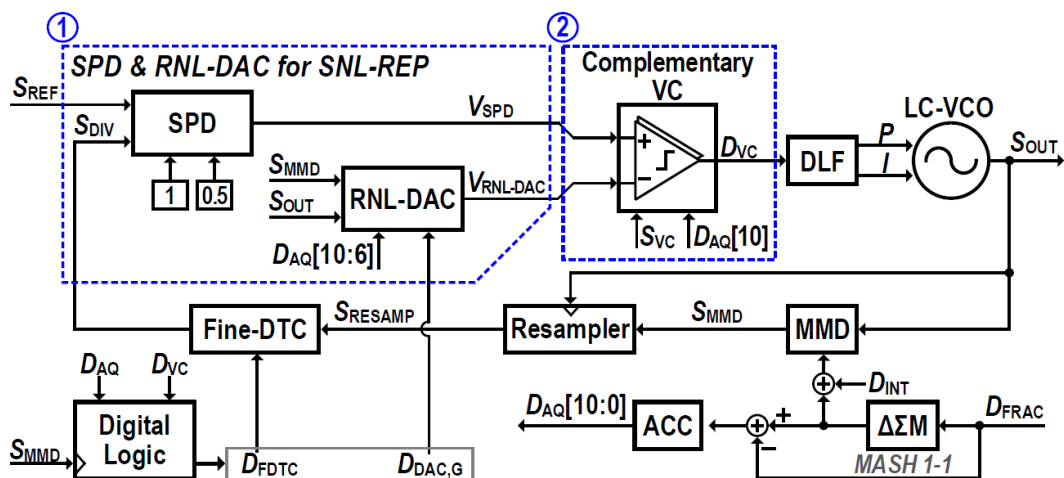
$$NTF_E(z) = (1 - z^{-1})^2(1 - z^{-2} - z^{-4} + z^{-6} + z^{-7} - z^{-9})$$

$$r = 5; p_{opt} = 9; p = 9 = p_{opt}, \sigma^2_{eacc} = 5/6 \text{ (both optimal)}$$



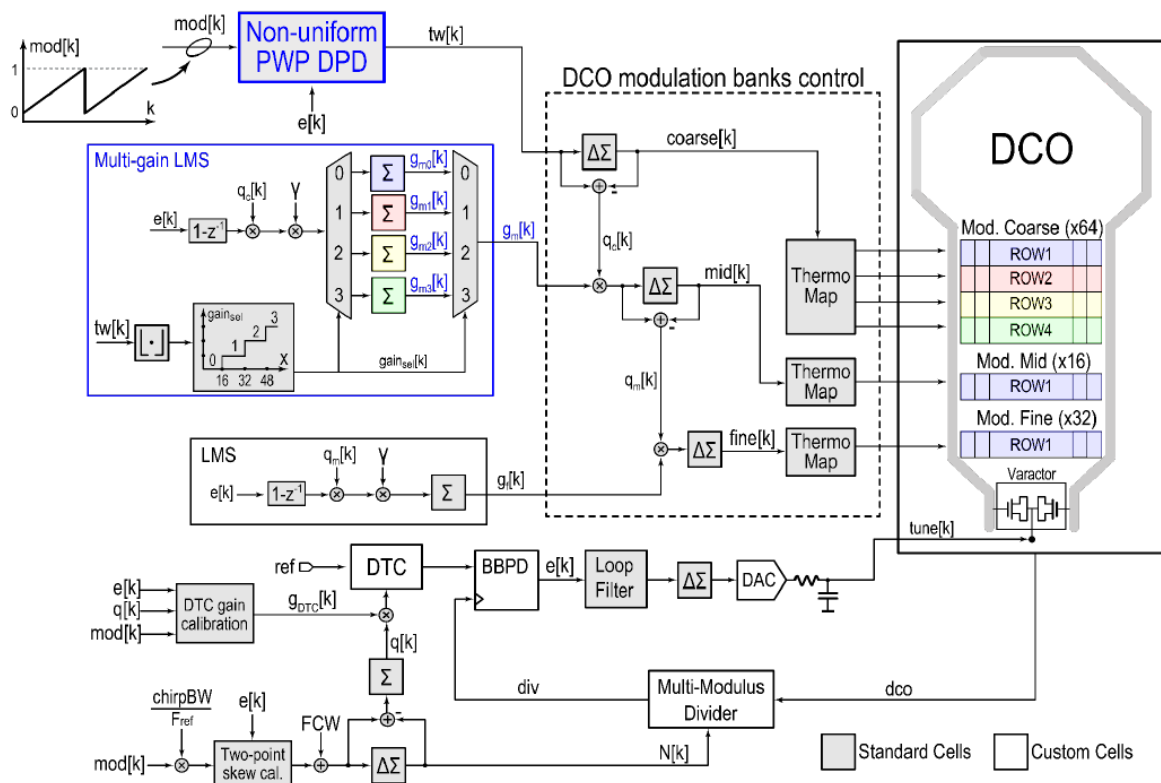
[그림 4] 제안된 ENOP와 MASH구조의 비교 및 ENOP divider controller의 구현

#1-5 KAIST에서는 fractional-N PLL에서 주로 사용되는 digital-to-time converter (DTC)의 thermal noise로 인한 in-band phase noise의 성능 열화를 개선하고자 voltage domain에서 Quantization (Q) noise을 cancellation 하는 것의 이점을 제안하였다. 하지만, 구현 과정에서 sampling-PD (SPD) 에 발생하는 non-linearity를 개선하기 위해 Non-linearity를 복제하는 digital-to-analog converter (DAC)의 구조를 제안하였다 (RNL-DAC). 이를 통해 40 nm 공정에서 연구된 fractional-N digital sampling PLL은 SPD의 non-linearity를 효과적으로 상쇄시킬 수 있었으며, 11.1 GHz 근처 주파수에서 fractional spur, jitter, 그리고 FoM 성능은 각각 -65dBc, 76fsrms, 그리고 -250.5dB를 달성하였다.



[그림 5] 제안된 RNL-DAC를 이용한 fractional-N PLL의 구조

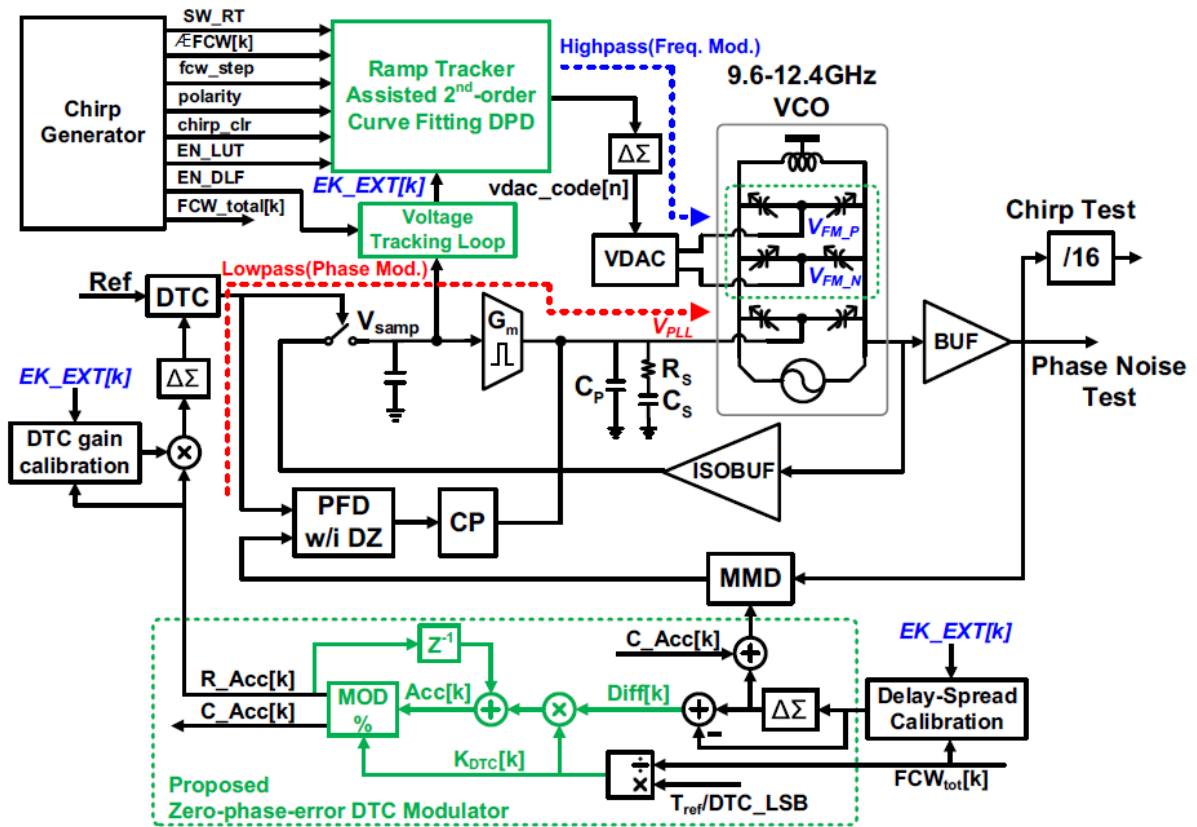
#1-6 Politecnico di Milano 에서는 28nm공정을 이용하여 digital PLL을 이용한 FMCW modulator에 대해서 발표하였다. FMCW PLL에서는 low phase noise 성능을 내면서도 wide chirp bandwidth를 가지면서도 non-linearity를 줄이는 것이 중요한데, 본 연구에서는 이를 위해 Two-point modulation을 적용하여 넓은 bandwidth를 확보하였고, piece-wise-parabolic digital predistortion (DPD)를 사용하여 non-linearity를 개선할 것을 제안하였다. DPD는 Least-mean square 알고리즘을 통하여 non-linearity의 3차 계수까지 계산하여 linearity를 개선시켰으며, 본 연구는 682MHz/ $\mu$ s의 chirp slope를 달성하였다. 9.25-to-10.5GHz 아웃풋 주파수 대역에서 0.02% 주파수 에러만을 보여주며, 제안된 PLL은 87.1fs rms jitter 및 -248dB의 FoM 성능을 달성하였다.



[그림 6] FMCW를 위해 TPM과 DPD를 적용하여 linearity를 개선시킨 PLL 전체 구조

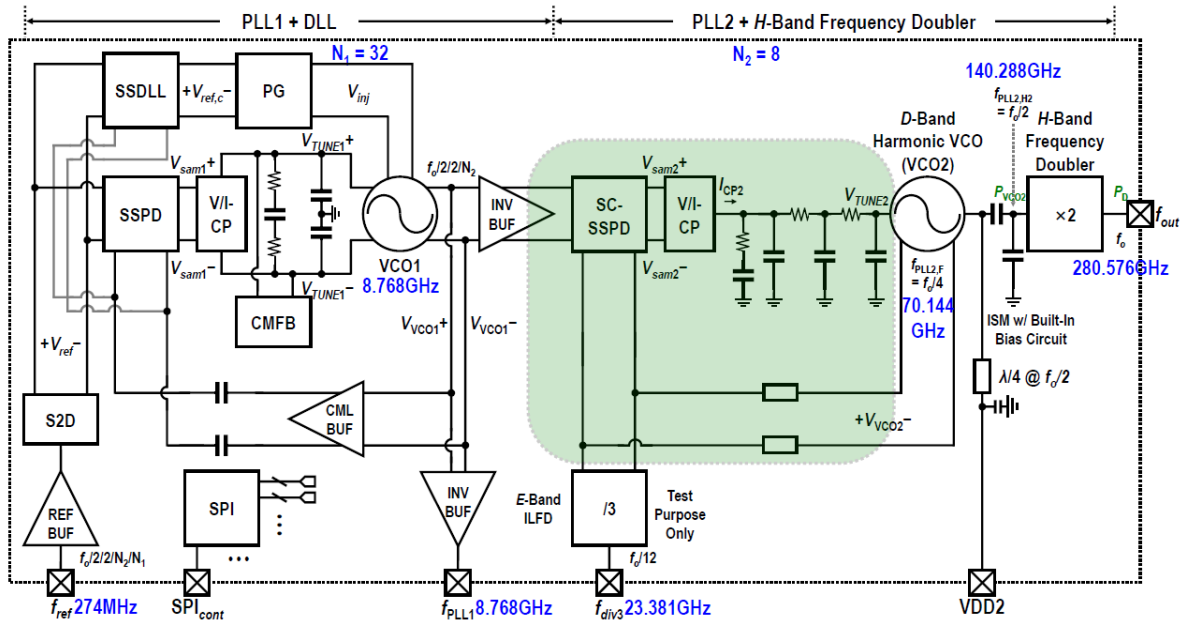
#1-7 Southeast University 은 65nm 공정에서 analog PLL을 기반으로 한 FMCW modulator에 대해서 발표하였다. 본 연구에서는 sub-cm의 작은 분해능을 위해 넓은 chirp bandwidth, 짧은 chirp duration을 위한 높은 chirp slope, 그리고 좋은 linearity와 phase noise를 달성하고자 하였다. 이를 위해 본 연구에서는 TPM 사용을 통해 넓은 bandwidth를 달성하고자 하였고, ramp tracker를 제안 하면서, 이를 통해 ramp의 2차 curve fitting을 통해 linearity를 개선하고자 하였다. 본 연구는 9.6-to-12.4GHz 주파수 대역에서, 2.3GHz/ $\mu$ s의 높은 chirp slope, 2.3 GHz의 chirp bandwidth에 걸쳐 0.051%의 rms frequency error만을 보여준다.





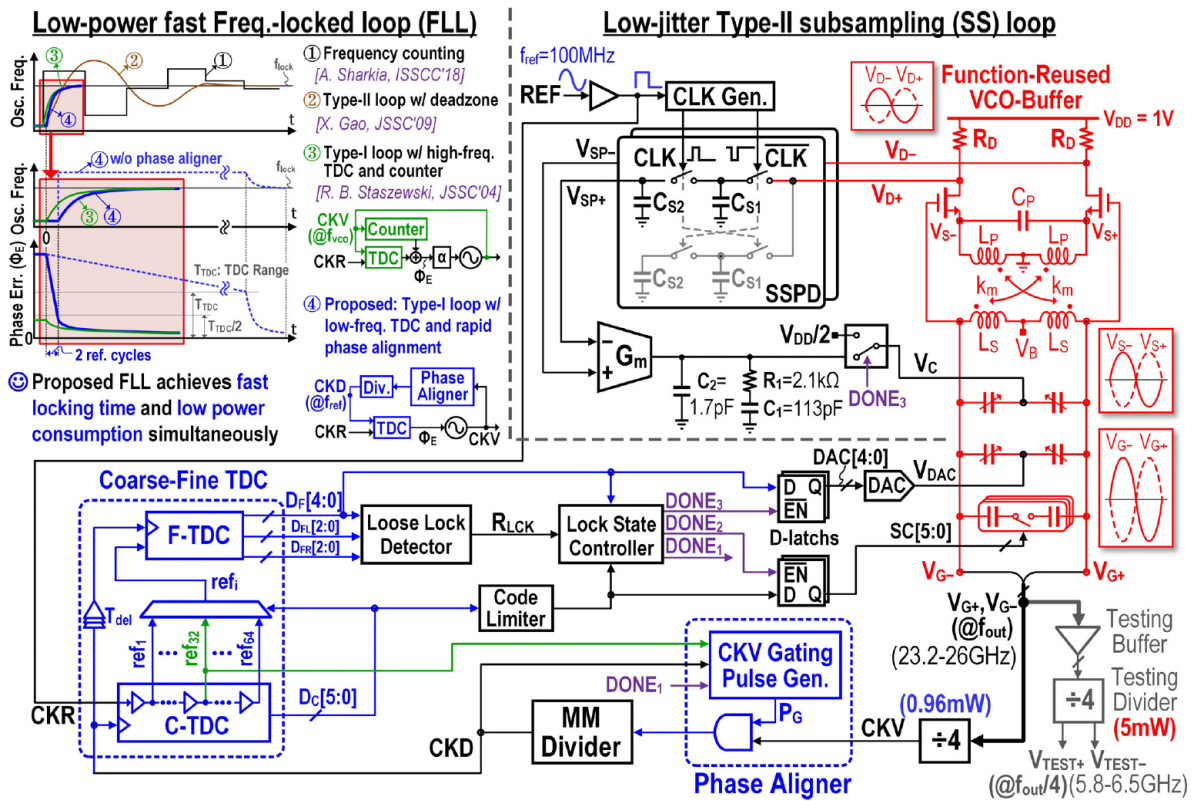
[그림 7]

#1-8 KAIST에서는 65nm 공정에서 D-band 및 H-band를 이용하는 sub-THz 통신을 위해 281 GHz의 높은 아웃풋 주파수를 생성해내는 PLL에 대해서 발표하였다. 이는 cascaded PLL 구조를 통해서 이루어졌는데, 첫번째 단계에 위치한 PLL은 injection-locked sub-sampling PLL구조를 통해서 jitter peaking을 낮추어 낮은 노이즈 성능을 확보하려고 하였다. 두번째 단계의 PLL에서는 높은 주파수를 합성할 때 SSPLL구조를 사용시 낮은 detection gain을 갖게 되는 한계점을 극복하기 위해서 current domain에서 sampling을 할 것을 제안하여 높은 detection gain을 가지고 PLL의 노이즈를 개선하였다. 본 연구에서는 268 GHz부터 282 GHz의 주파수를 생성하며 1kHz-to-10MHz와 1kHz-to-100MHz 주파수 범위에서 각각 46 fs 및 86 fs의 RMS jitter 성능을 달성하였다.



[그림 8] Sub-Hz 통신을 위한 제안된 cascaded PLL 구조.

#1-9 the University of Macau 에서는 28nm 공정을 이용하여 23.2-to-26GHz 주파수 대역에서 낮은 노이즈 성능 및 낮은 spur 성능과 빠른 frequency/phase locking time을 가지는 PLL에 대해서 발표하였다. 기존에 사용하던 inductive isolation buffer 또는 CML isolation buffer 대신에 function-reused VCO-buffer를 사용할 것을 제안하였으며 이를 통해 파워소모를 줄이고 불필요한 VCO의 로딩을 줄이면서도 낮은 노이즈와 spur 성능을 달성할 수 있었다. 또한 coarse-fine time-to-digital converter (TDC)를 기반으로 한 디지털 type-I PLL과 phase aligner를 제안하여 55개의 reference 사이클 내에 (약 0.55 us frequency/phase locking time) PLL locking이 가능함을 보여주었다. 본 연구에서 제안된 PLL은 48.3 fs rms jitter 및 -253.5dB의 FoM을 달성하였다. 제안된 function-reused VCO-Buffer 덕분에 본 연구에서는 sampling 과정에서 발생하는 isolation을 개선할 수 있었으며, 이를 통해 제안된 PLL에서는 -66dBc의 레퍼런스 spur 성능을 가질 수 있었다.



[그림 9] 제안된 low phase noise 및 빠른 locking time을 가지는 Sub-sampling PLL

## 저자정보



### 윤희인 교수

- 소 속 : 울산과학기술원 (UNIST) 전기및전자공학과
- 연구분야 : RF, analog/mixed IC designs, clock/frequency generation systems for emerging wireless standards
- 이 메 일 : heein.yoon@unist.ac.kr
- 홈페이지 : <https://acel.unist.ac.kr/>

# 2024 International Solid-State Circuits Conference

## (ISSCC) Review

서울시립대학교 첨단융합학부 서민재 교수

### Topic : Data Converter

이번 ISSCC 2024의 Session 22는 High-Speed Analog-to-Digital Converters라는 주제로 총 5편의 논문이 발표되었다. 본 세션에서는 고속 데이터변환기 구현을 위해 continuous-time pipeline, time-to-digital converter, high-speed channels, massive interleaving 등 다양한 기법들이 제안되었고 각 논문들의 핵심 내용은 다음과 같다.

### Session 22 : High-Speed Analog-to-Digital Converters

#22.1 마카오 대학에서 Direct RF sampling을 위한 고속 ADC로서 4개의 채널을 가지는 12GS/s 12-bit Time-interleaved (TI) pipelined ADC를 제안하였다. 본 논문에서는 TI 구조를 구성하는 channel의 개수를 줄여 calibration burden을 줄이고자 하나의 channel을 3GS/s의 높은 속도로 구동시키고 이를 4-channel을 이용함으로써 12G/S의 속도를 구현하였다. 또한, local dither 기반의 TI calibration 기법이 routing mismatch와 local capacitance mismatch에 의해 제약이 있는 것을 극복하고자 global dither injection 기반 calibration (CCTI)를 제안하였다. 이 구조 및 기법을 통해 해당 회로는 28 nm 공정에서 설계되어 12 GHz의 샘플링 주파수에 대해 Nyquist 입력 기준 54.1 dB의 SNDR, 66.0dB의 SFDR 및 179.8mW의 높은 전력효율을 달성하였다.

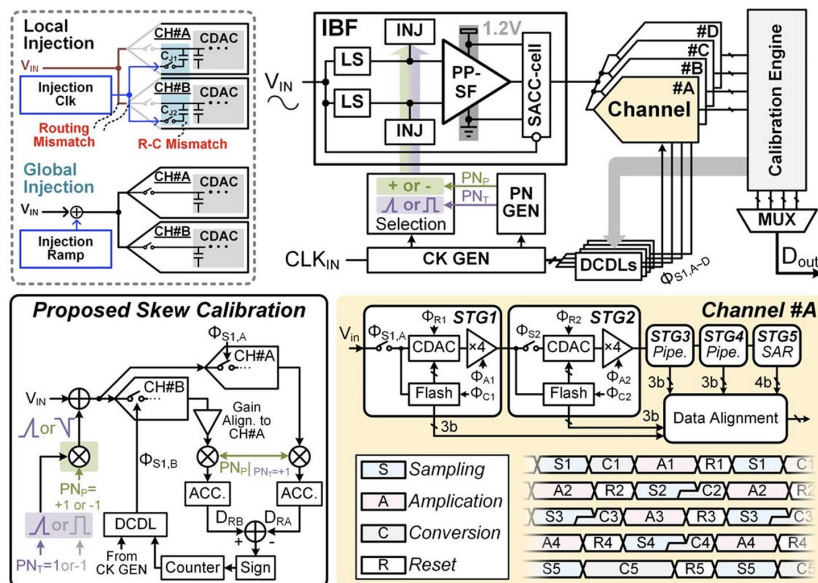


그림 1. 논문 22.1에서 제안하는 ADC 구조 및 Skew calibration 기법

#22.2 아날로그 디바이스에서 고성능 측정 또는 통신 기기를 위한 continuous-time pipeline (CTP) 구조의 ADC를 제안하였다. 본 연구에서는 저항성 input impedance 및 inherent anti-aliasing filter의 장점을 이용하고자 CT 구조를 채택하였고 총 3-stage로 구현하여 마지막 stage는 VCO 기반 ADC를 사용하였다. HD3 성분을 가장 크게 유발하는 1<sup>st</sup> stage sub-DAC의 error를 보정하기 위한 기법도 제안하였는데 reference DAC( $UE_{ref}$ )과의 error 기존에는 static error만을 보정했던 것과는 달리 timing error까지 보정할 수 있는 coverage를 제공하였다. 이는 두 개의 sub-DAC ( $UE_i$ ,  $UE_{ref}$ )에 dither를 반대 sign으로 인가하였을 때 이상적인 경우라면 서로 cancel되어 주입되는 dither가 없지만 mismatch가 발생했을때는 그 error가 dither와 결합되어 주입이 되므로 이를 cross-correlation function을 이용하여 그 error의 양을 예측할 수 있다. 본 기법들이 결합되어 해당 회로는 16 nm FinFET 공정에서 설계되어 6.4 GHz의 샘플링 주파수에 대해 700MHz BW를 확보하였고 71 dB의 SNDR 및 703mW의 전력소모를 달성하였다.

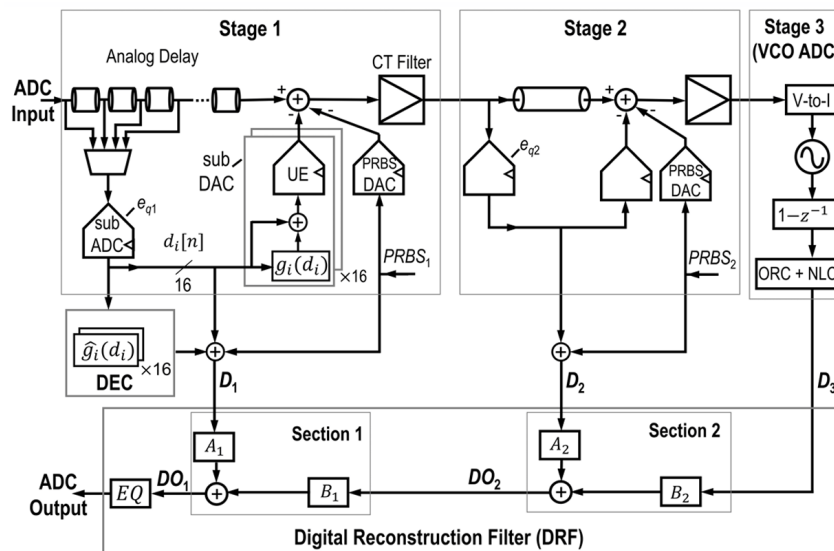


그림 2. 논문 22.2에서 제안하는 CTP ADC 구조

#22.3 인텔에서 고속 유선 통신을 위한 40GS/s 수준의 ADC 구조 연구를 제안하였다. Voltage domain ADC의 속도 제약, time domain ADC의 PVT variation, device mismatch는 TI ADC의 채널 수를 늘리거나 calibration의 부담이 급격히 늘어나는 구조로 본 연구에서는 TI ADC를 구성하는 각 채널의 구조에 대해서 time domain과 voltage domain 모두 사용하는 Hybrid Voltage/Time-domain ADC 구조를 채택하였다. 기존 연구를 참고하여 V-T conversion과 T-V conversion을 match 시켜 domain 전환 시 발생하는 gain mismatch를 제거하여 PVT variation에 대한 robustness를 확보하였다. 또한, VTC의 PVT 안정성 확보를 위해서 이용한 common-mode input tracking 기법을 도입하였다. 본 기법은 replica inverter의 threshold voltage와 signal common level voltage를 match시키는 VTC 내 inverter stage의 supply voltage를 생성하여 공급해준다. 위의 기법들을 이용하여 해당 회로는 22 nm FinFET 공정에서 설계되어 40 GHz의 샘플링 주파수에 대해 32.3 dB의 SNDR 및 71.0 dB의 SFDR을 달성하였다.

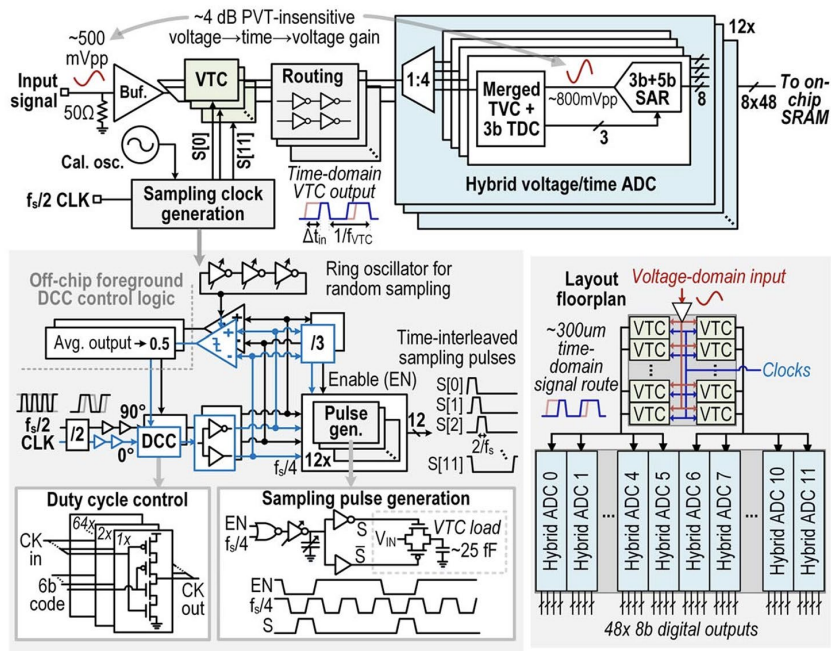


그림 3. 논문 22.3에서 제안하는 Hybrid Voltage/Time-domain ADC 구조 및 레이아웃 배치도

**#22.4** 칭화 대학교에서 background calibration 기법이 적용된 광대역 ADC를 제안하였다. Ping-pong 구조를 이용해 1.2GS/s 수준의 고속 sub-channel ADC를 구현하였고, 2개의 comparator의 offset mismatch calibration을 위해 bit-distribution 기반 offset calibration 기법을 제안하였다. 각 Comparator offset에 의해 서로 다른 residue profile이 형성되고 이로 인해 각 comparator의 출력에서 0(또는 1)이 출력될 확률이 달라지게 되고 이 정보를 이용하여 두 comparator의 offset을 보정할 수 있다. 또한, TI mismatch calibration을 위해 dither injection을 수행할 때 기존 input buffer에서의 주입이 아닌 input buffer의 replica를 통한 주입을 통해 kickback과 ISI 현상을 줄였다. 위 기법을 통해 해당 회로는 28 nm CMOS 공정에서 설계되어 4.8 GHz의 샘플링 주파수에 대해 44.3 dB의 SNDR 및 58.2 dB의 SFDR을 Core 기준 7.7mW의 전력 소모(12.0fJ/c.s.)으로 구현하였다.

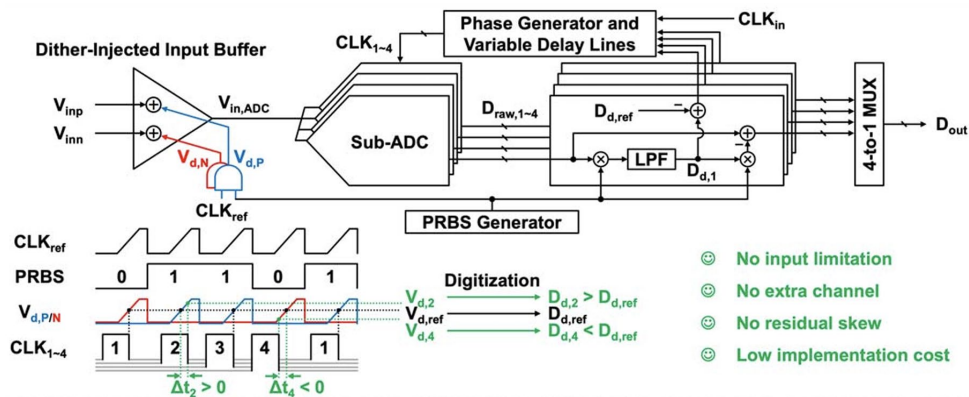


그림 4. 논문 22.4에서 제안하는 TI ADC 구조



#22.5 Imec에서 초고속 유선 통신을 위한 Slope ADC 구조 기반의 TI ADC를 제안하였다. CMOS image sensor의 slope ADC array는 한번에 구동되고 모든 ADC가 동일한 slope를 기준으로 해도 무방한 방식과는 다르게 TI ADC에서의 Slope ADC array는 각각 shifted timing에 동작을 해야하므로 slope generator 구현에 대한 설계 이슈가 생긴다. 모든 ADC 마다 각각의 slope generator 및 digital counter를 구현하는 것은 면적, 전력 소모, 성능적으로 효율적이지 않아 본 연구에서는 모든 단일 slope generator와 digital counter를 모든 slope ADC(768개)에 연결하는 구조를 제안하였다. 이는 단일 채널의 hold time보다 전체 slope time을 짧게 가져가는 제한 조건을 부여하여 구현하였다. 해당 회로는 16 nm FinFET 공정에서 설계되어 42 GHz의 샘플링 주파수에 대해 28.9 dB의 SNDR 및 36.3 dB의 SFDR을 달성하였다.

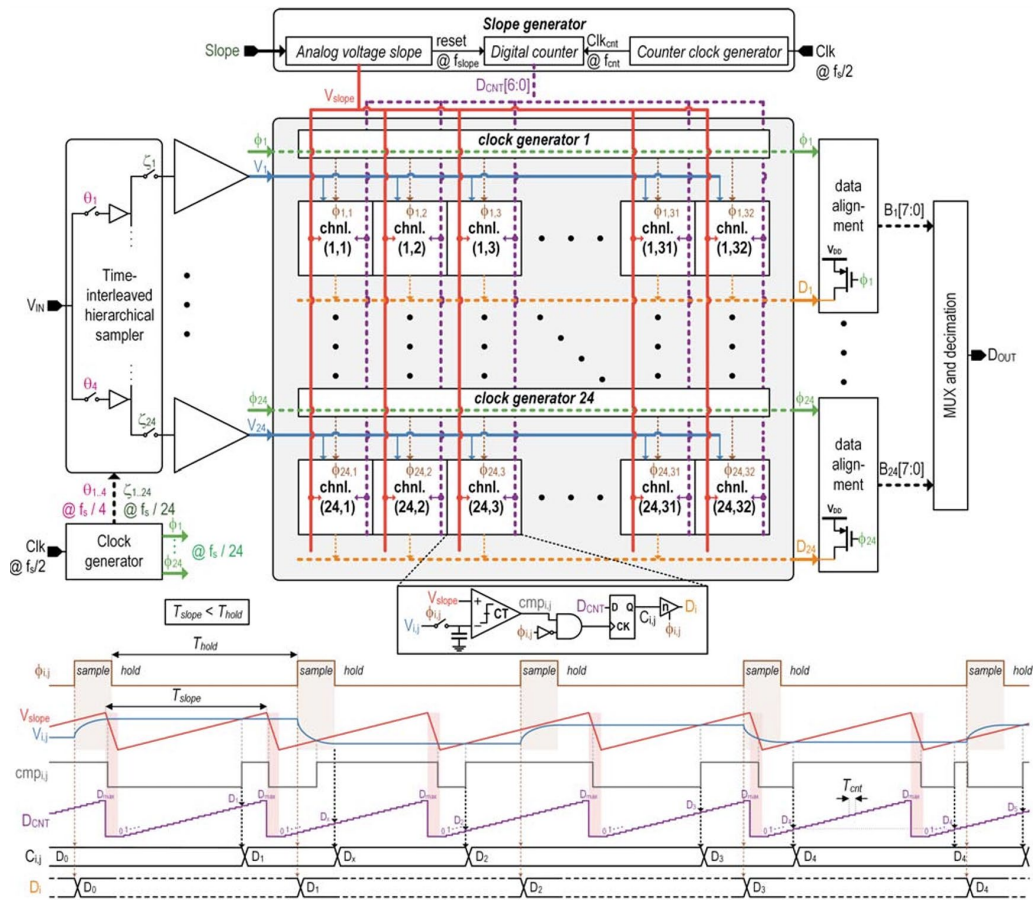


그림 5. 논문 22.5에서 제안하는 TI Slope ADC 구조

## 저자정보

---



### 서민재 교수

- 소 속 : 서울시립대학교 첨단융합학부 지능형반도체전공
  - 연구분야 : Data converter
  - 이 메 일 : mjseo@uos.ac.kr
  - 홈페이지 : <https://sites.google.com/view/mcaslab/>
-

# 2024 International Solid-State Circuits Conference

## (ISSCC) Review

UNIST 전기전자공학과/인공지능대학원 이규호 교수

### #ML Accelerators and Compute-in-Memory

Session 20 / Machine Learning Accelerators

Session 34 / Compute-In-Memory

Machine Learning Accelerators (**Session 20**)에서는 다양한 애플리케이션에 적용된 8편의 머신 러닝 프로세서가 소개되었다. 이 중, 매우 높은 전력효율을 보인 LiDAR를 사용한 실시간 Semantic SLAM을 위한 인공지능 프로세서와 대형 언어 모델의 상보적 Transformer 프로세서가 돋보였다. Compute-In-Memory (**Session 34**)에서는 다양한 메모리 구조를 채택한 CIM 프로세서 9편이 소개되었다. 이번 후기를 통해 두 세션의 총 9개의 논문에 대해 간략하게 살펴보고자 한다.

**#20.1**은 MediaTek에서 발표한 Digital-CIM 기반의 고화질 비디오 품질향상 프로세서이다. 고화질 데이터를 위한 12bit 연산을 수행할 수 있는 Digital-CIM Macro로 구성되어 있고, Computation Workload Balancing과 높은 하드웨어 Utilization을 위해 Computing Engine Fusion을 제안한다. Transposed CONV와 Strided CONV 연산에 대한 프로세서의 Idle Time을 줄이기 위해 추가적인 Input/Output Channel을 연산함으로써 프로세서의 활용도를 각각 65%, 58% 만큼 향상시켰다. 제안된 프로세서는 3nm FinFET 공정으로 구현되었으며, 23.2 TOPS/W의 최대 에너지 효율을 달성하였다.

**# 20.3**은 Renesas에서 발표한 실시간 로봇 애플리케이션 위한 Embedded MPU이다. 해당 논문에서는 다중작업 시스템에서 100 TOPS 성능을 제공하면서도 10W 미만의 전력 소비를 충족하고, AI와 non-AI 알고리즘을 동시에 수행하기 위한 프로세서의 중요성을 언급한다. 따라서, Flexible Pruning Rate를 지원하는 Fine-grain N:16 Pruning Technology를 통해 8배 속도 향상을 달성하였다. 또한, embedded CPU와 AI accelerator의 multi-thread 그리고 pipelined processing을 지원하여 embedded CPU보다 17배 속도 향상과 12배 높은 전력 효율을 달성하였다.

**#20.4**는 중국 Northwestern University에서 발표한 물리정보신경망 (Physics-Informed Neural

Network, PINN)과 유한요소법 (Finite Element Method, FEM)을 모두 지원하는 통합 계산과학 (Scientific Computing) 프로세서를 소개한다. 7가지의 특별한 Dataflow를 지원하는 2D Physics Processing Element (PHY-E) 배열구조를 통해 다양한 PINN연산에 대응하며, Conjugate Gradient Method를 통해 Classical FEM 또한 지원한다. 초기 좌표계와 그리드 개수를 이용한 데이터 압축 기법으로 PINN과 FEM연산에 소모되는 전력을 27%~32% 감소시켰다. 본 논문은 2.67 TOPS/W의 최대 에너지 효율을 달성하며, 계산과학 애플리케이션에서 RTX3090 대비 최대 2590배 빠른 속도를 달성한 것이 인상적이다.

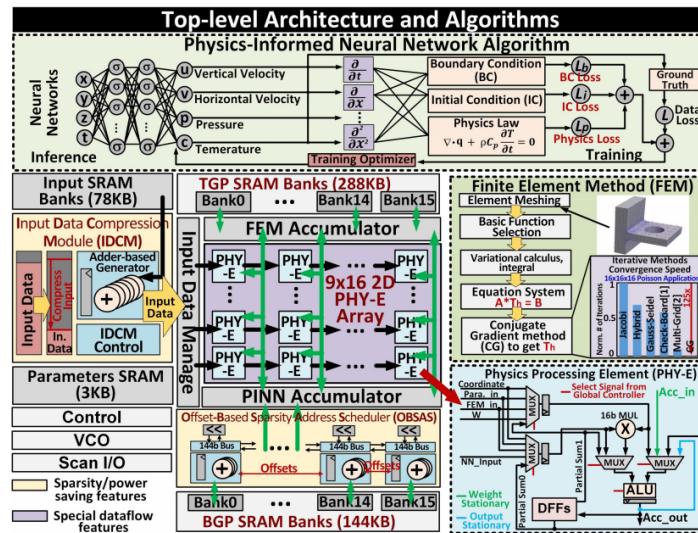


그림 1. PEY-E 배열의 계산과학 프로세서 구조

#20.6 은 UNIST에서 발표한 실시간 Semantic LiDAR-SLAM 프로세서이다. 본 논문은 기존 SLAM의 한계점을 지적하며, Point Neural Network (PNN)과 SLAM을 결합한 Semantic SLAM인 LiDAR-PNN-SLAM (LP-SLAM) 알고리즘과 함께 k-Nearest-Neighbor (kNN)과 Multi-layer Perceptron (MLP), Keypoint Extraction, Levenberg-Marquardt optimization (LMO)의 연산으로 이루어진 각 알고리즘에 최적화된 이종코어 아키텍처를 제안한 것이 특징이다. LiDAR의 시간적/공간적 연관 특성을 활용하여, 효율적인 kNN을 위한 2D/3D 구좌표계 탐색기법과 해시 페이지기반의 동적 메모리 할당 기법과 함께, MLP의 연산 스케줄링을 위한 2단계 워크로드 균형화기법을 제안하였다. 또한, LMO의 2-Phase 특성을 지원하기 위해 재구성가능한 명령어 모드를 제안하였다. 본 논문은 기존 GPU 대비 6.83배 빠른 처리량과 10349배 높은 에너지 효율을 달성하였으며, 자율주행로봇을 위한 실시간 Semantic LiDAR-SLAM이 가능함을 보인 것이 인상적이다.

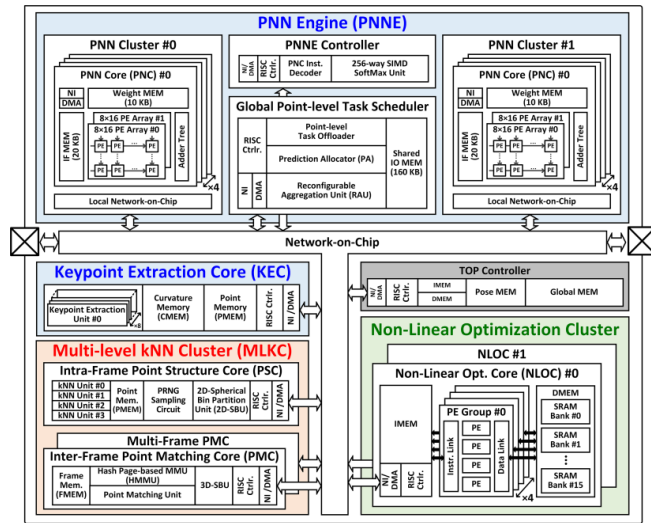


그림 2. Semantic LiDAR SLAM SoC 하드웨어 구조

#20.7은 KAIST에서 발표한 해시기반 Neural Radiance Field (NeRF) 프로세서로 실시간 3D 모델링 및 렌더링을 지원한다. 해시테이블의 외부데이터접근 문제를 해결하기 위해 해시테이블 분할 기법과 Sub-block 단위의 Sample 관리 기법을 제안하였다. 거리 기반의 Attention으로 연산을 Skip 하고 Cache 적중률에 따라 다른 연산 방식을 채택함으로써 처리량을 증가시키고 파워 소모를 줄였다. 또한, 입력데이터의 희소성과 유사도를 활용한 연산 Skip 기법을 제안하여 에너지 효율을 높였다. 본 논문은 3D Rendering 뿐만 아니라 ASIC 최초로 Modeling도 지원하며, Edge GPU 대비 18배 적은 시간과 231배 높은 에너지 효율을 달성하였다.

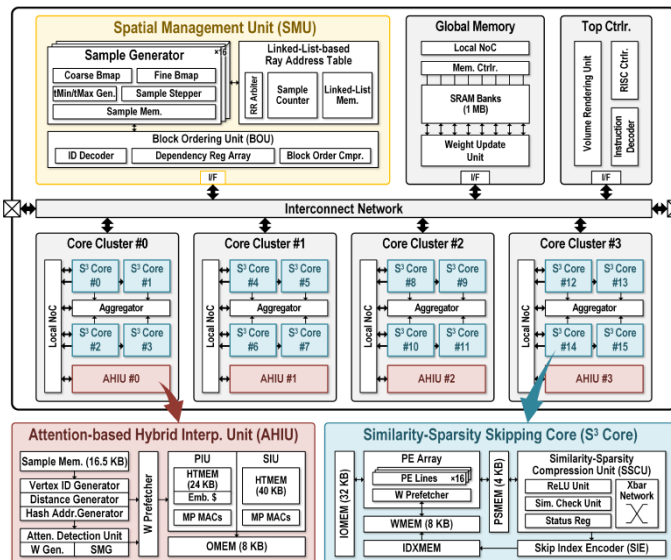


그림 3. NeuGPU 하드웨어 구조

#34.2는 TSMC에서 발표한 논문으로, Integer (INT) 기반 인공신경망과 Floating Point (FP) 기반 인공신경망 모두를 가속하기 위한 Computing-in-Memory (CIM) Processor이다. 본 논문은 Dual-mode Local-computing-cell (DM-LCC) 구조를 제안하여 INT Mode와 FP Mode에서 높은 면적 효율을 구현하였다. 또한, Zone-based Input Processing Scheme (ZB-IPS)를 제안함으로써 Exponent SUB 연산을 제거해 Energy & Area Efficient 한 연산을 구현하였다. 더불어, Two-port Gain Cell (GC) Array를 제작해 Data Update와 연산을 동시에 진행하여 System Latency를 감소하였다. 제안된 Processor는 최대 163.3 TOPS/W, 11.07 TOPS/mm<sup>2</sup>의 높은 에너지/면적 효율을 달성하였다.

#34.4는 TSMC에서 발표한 논문으로 3 nm FinFET 공정을 사용한 SRAM 기반 Digital Computing-in-Memory (DCIM) 구조이다. 단위 면적 당 연산 효율과 bit density (Mb/mm<sup>2</sup>)를 높이기 위해 Flying Bit-line (BL) Architecture를 제안한다. BL을 TOP, BOTTOM으로 나눔으로써 라인이 길어져 발생하는 신호 지연과 노이즈 문제를 최소화하였고, 레이아웃 최적화를 통해 전체 Macro Area가 약 5% 감소한다. 또한 짧은 BL 덕분에 방전 시간이 짧아졌을 뿐만 아니라, Weight Memory Storage를 18 Segments로 나눔으로 줄어든 Row 개수 덕분에 Sense Amplifier를 제거할 수 있었다. 직렬 MAC에 비해 Shift & Add 연산이 없고 Toggle 횟수가 적어서, 병렬 MAC 연산을 사용하여 연산 처리량과 에너지 측면에서 이득을 달성하였으며, Dynamic Power를 줄이기 위해 Look-up Table (LUT) 기반의 MAC 연산을 제안하는 등의 기법들을 통해 32.5 TOPS/W, 55.0 TOPS/mm<sup>2</sup> 효율과 3.78 Mb/mm<sup>2</sup>의 Bit Density를 달성했다.

#34.7은 Tsinghua University에서 발표한 논문으로 eDRAM-LUT 기반의 Digital CIM Macro이다. 제안된 eDRAM LUT Adder는 160b 용량의 메모리와 4×8b-weight MAC을 수행하는 연산기로 재구성 가능하다. In-memory Refresh and Encode Port (IMREP)는 메모리 동작 시 Readout Port로 동작하며, CIM 동작시에는 Adder Tree 및 Shift Adder를 통하여 Successive-Accumulation 회로로 동작한다. 또한, eDRAM의 짧은 Retention Time을 보완하기 위하여, Write-Back 경로를 통하여 IMREP를 Refresh 할 수 있다. 해당 논문은 적은 면적을 요구하는 eDRAM Bitcell을 활용함과 동시에, LUT 기반의 MAC 연산을 수행하여 기존의 Digital CIM에서 발생하는 주변회로의 면적 부담을 줄일 수 있었으며, 이를 통해 2.4 Mb/mm<sup>2</sup>의 메모리 집적도와 18.1 TOPS/W의 에너지 효율을 달성하였다.

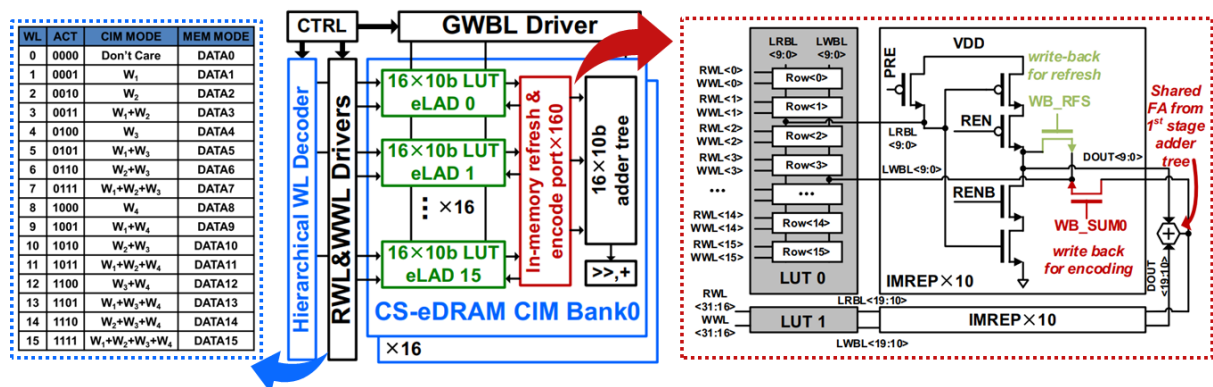


그림 4. Computation-Storage Dual-mode Reconfigurable eDRAM-CIM 구조



#34.8은 National Tsing Hua University에서 발표한 논문으로 22nm 공정의 1T1R ReRAM 메모리를 활용하여, FP16 및 BF16 정밀도를 지원하는 16Mb ReRAM-nvCIM Macro를 제안하였다. 데이터 전처리 중 발생할 수 있는 정확도 손실을 줄이기 위한 커널 별 가중치 사전 정렬 방식, 손실 없는 압축을 통해 MAC 연산의 에너지 소비와 Latency를 줄이는 Rescheduled 멀티 비트 입력 압축 방법, 그리고 ReRAM 어레이의 전류 소비를 줄이기 위한 HRS-flavored Dual-Sign-Bit (HF-DSB) 가중치 인코딩 방식을 제안함으로써, 28.7 TFLOPS/W와 31.2 TFLOPS/W의 효율을 달성하였다. Non-Volatile Memory인 ReRAM을 사용하여 칩으로 제작한 점이 돋보인다.

## 저자정보

---



### 이규호 교수

- 소 속 : UNIST 전기전자공학과 / 인공지능대학원
  - 연구분야 : Machine Learning Processor, In-Memory Computing
  - 이 메 일 : kyuhohn.lee@unist.ac.kr
  - 홈페이지 : <https://isl.unist.ac.kr/>
-

# 2024 International Solid-State Circuits Conference

## (ISSCC) Review

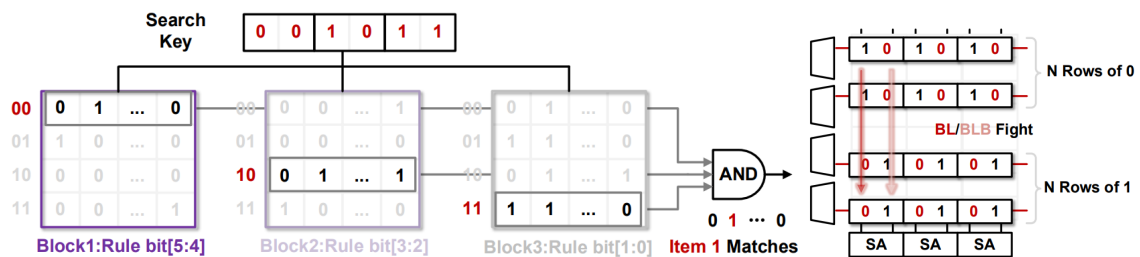
아주대학교 지능형반도체공학과 이종민 교수

Topic : Digital

### Session 15 : Embedded Memories & Ising Computing

이번 ISSCC 2024의 Session 15는 Embedded Memories & Ising Computing이라는 주제로, 다양한 application에서 embedded memory의 성능을 높이는 점과, embedded memory를 활용한 논문들에 대해 주안점을 두고 있다. Technology의 scaling이 느려지고 있는 현 시점에서 칩의 성능을 높이기 위해서 embedded memory의 성능을 높이려는 논문들이 채택된 점을 주목할 만하다.

#15-1 은 Tsinghua University에서 발표한 논문으로, PUF를 기반으로 protect된 TCAM을 설계한 것이다. 기존 NOR-type과 NAND-type의 CAM cell은 많은 transistor를 필요로 하였으나, 본 논문에서는 6T 구조를 가져가 area efficiency를 향상시켰다. 또한, 기존의 TCAM의 병렬적인 비교 방식과는 달리, Search key를 2bit씩 나누고 해당 row의 mux를 켜, 6T SRAM cell로 인한 방전의 존재 유무로 데이터를 찾는다. 본 TCAM은 2N개의 선택된 row중 N개의 row에는 0을, 나머지 N개에는 1을 write하고, 이들을 하단의 sense amplifier로 비교하여 KEY를 생성한다. 생성된 KEY를 보안 인증에 활용하여 공격자가 security protocol을 bypass하거나, 데이터 패킷을 바꾸고 drop하는 것을 방지할 수 있다.

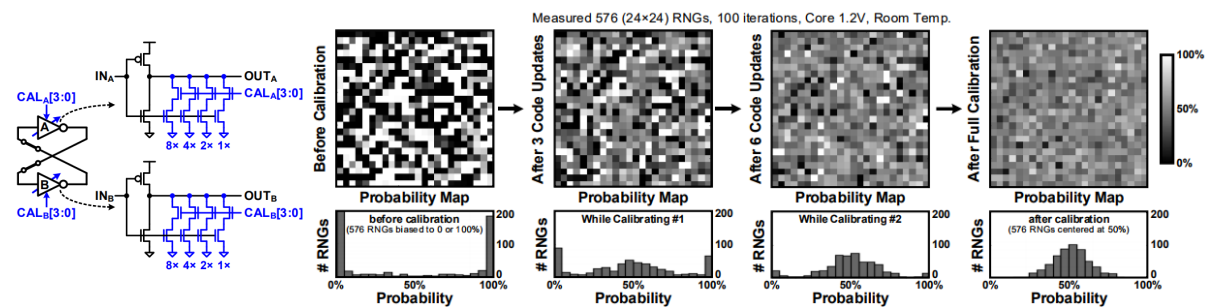


[그림 1] #15-1에서 (좌)제한한 TCAM의 search 방법 (우)PUF로의 활용

#15-2 는 Intel에서 발표한 논문으로, 기존에 frontside에서 전원 공급과 신호 전달을 했던 것과는 달리, 전원 공급을 위해 backside에 저항이 낮은 interconnect를 활용한 것에 대해 소개하고 있다. Backside에서 큰 PowerVia를 활용하여 SRAM bitcell에 전원을 직접 공급하면 SRAM 단위 셀 면적이 증가하는 단점이 있다. 따라서, SRAM array 외부에만 PowerVia를 사용하는 around-the-array power-delivery scheme을 활용하여, SRAM 단위 셀 면적 증가를 방지하였다. 이를 통해 기존보다

40mV 더 낮은  $V_{min}$ 과 14%의 performance 증가를 달성하였다.

#15-5 는 University of California, Santa Barbara에서 발표한 논문으로, Ising model 연산을 가속할 수 있는 Latch 기반의 Ising computer에 대한 논문이다. 23년도 ISSCC에서 발표한 Ising model 연산을 위한 latch에 calibration 구조를 추가하여 spin의 randomization을 수행 가능케 하여, RNG를 위한 면적 overhead를 제거하였다. 또한 replica끼리의 equalization을 통해 더 짧은 시간 내에 더 낮은 Hamiltonian에 도달할 수 있다.

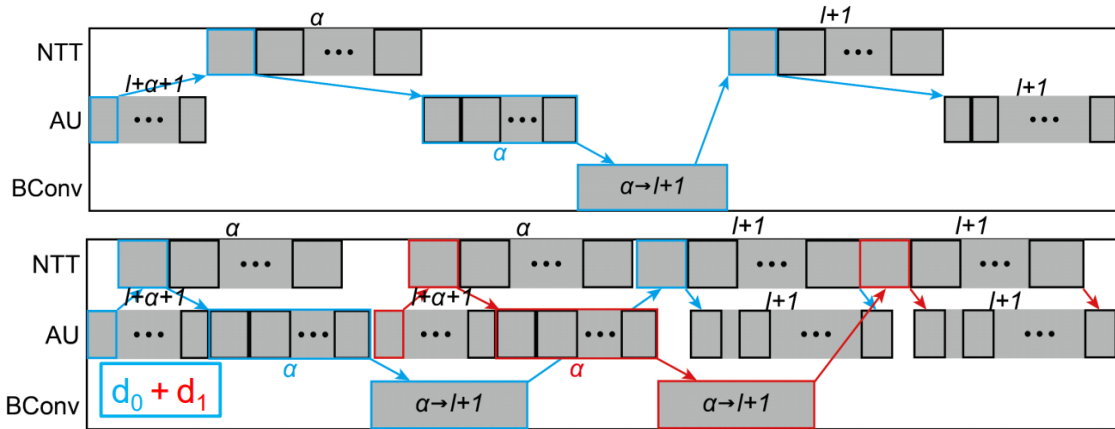


[그림 2] #15-5에서 제안한 calibration 구조가 추가된 latch와 이를 활용한 randomization 결과

## Session 16 : Security: From Processors to Circuits

이번 ISSCC 2024의 Session 16은 Security: From Processors to Circuits 라는 주제로, 총 8편의 논문이 발표되었다. Homomorphic encryption accelerator, PQC processor, PUF, Side-channel attack resilient circuits, TRNG 등 hardware security에 필요한 Processor 부터 Circuit에 대해 소개하였다. 양자컴퓨팅 시대를 앞둔 만큼 PQC processor, homomorphic encryption 관련 논문들이 떠오르고 있는 점을 주목할 만하다.

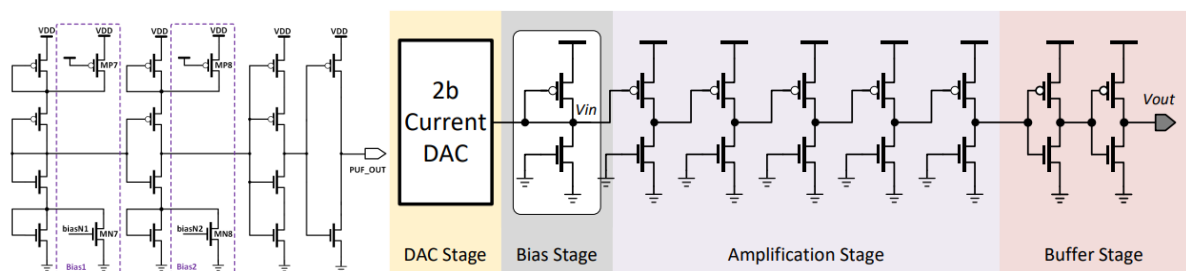
#16-1 은 포항공과대학교에서 발표한 논문으로, homomorphic encryption (HE) 알고리즘 중 하나인 RNS기반 CKKS를 위한 processor를 설계한 것이다. Cloud computing 시대의 도래로, 공격자가 cloud server를 공격하여 client의 데이터를 악의적으로 취득하는 것을 방지하기 위해, 암호화 된 상태에서 연산이 가능한 RNS-CKKS 알고리즘이 2018년에 제안되었고, 이를 전용 프로세서 구현을 통해 가속화 하였다. HE의 bootstrapping 연산에서 key-switch와 NTT/INTT 연산의 energy consumption이 크다는 점에 착안하여, key-switching 과정의 scheduling을 최적화하고 NTT 엔진의 twiddle factor generator를 통해 twiddle factor seed 사용을 99.9%가량 줄일 수 있었다. 이를 통해 CPU 대비 1737배의 key-switch energy efficiency 향상과, 25배의 throughput 향상을 달성할 수 있었다.



[그림 3] #16-1에서 제안한 (위) Conventional key-scheduling (아래) Optimized key-scheduling

#16-3 은 Marvell Technology에서 발표한 논문으로, PUF에 관해 발표한 것이다. 기존 PUF 대비 선단 공정인 3nm 공정에서 제작되었으며, entropy source간의 mismatch를 크게 증폭시키기 위하여 Gain NFET을 추가하였다. 이를 통해  $V(BLT)-V(BLC)$  값이 추가적으로 증폭되어 BER을 감소시킬 수 있다. 이를 통해 34.8ppm 수준의 낮은 BER을 달성하였다.

#16-4 는 NVIDIA에서 발표한 논문으로, University of Michigan과 Rice University에서 발표한 PUF를 개량하여, High-Density PUF와 Low-Power PUF 두 가지 PUF의 cell을 제안하였다. High-Density PUF는 단순히 inverter chain PUF cell의 첫 번째와 두 번째 stage에 diode connected TR과 bias injection TR을 추가하여 안정성 향상을 도모하였고, Low-Power PUF는 2T-AMP based PUF에 2b current DAC 기반 bias stage를 추가하였다. 5nm공정에서 설계되었으며, masking 한 것 대비 상당한 BER reduction을 달성하였다. 다만, prior work 대비 BER과 1bit response 생성 당 필요한 energy가 더 높다.

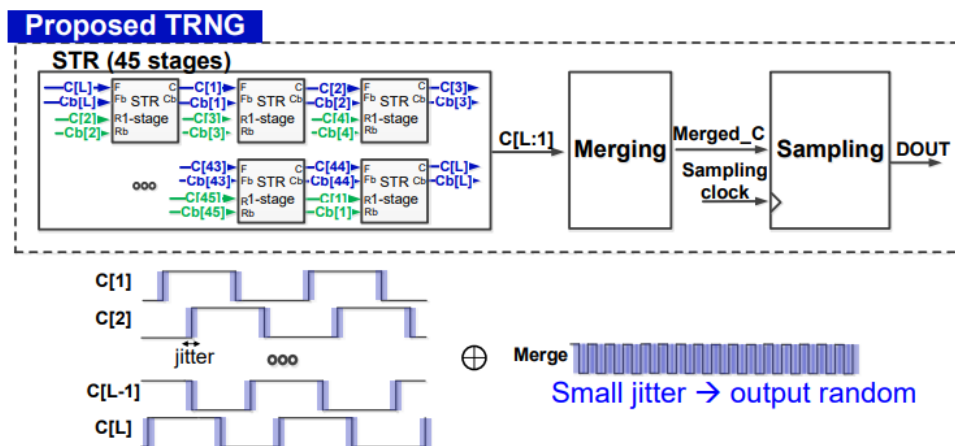


[그림 4] #16-4에서 제안한 (좌) High-Density cell (아래) Low-Power cell

#16-5 는 Rice University에서 발표한 fault injection attack (FIA) monitor에 대한 논문이다, 23년도 ISSCC에서 발표된 논문은 AES에 국한된 단점을 가지고 있고, 22년도 VLSI에서의 논문은 clock FIA만 detect하는 등의 단점들을 보완한 논문으로, clock의 replica를 만들고, replica의 falling edge 앞

뒤로 acceptance window를 구성하여, clock이 비정상적인 duty로 인해 window 외부에서 변화하거나, voltage glitch로 인해 window가 이동하는 경우 공격을 받았다고 간주한다. 본 논문에서 제안하는 FIA monitor 회로는 모두 디지털 회로로 설계되기 때문에, fully synthesizable하며, 굉장히 작은 면적을 소비하면서도 clock, voltage, EM, temperature FIA 모두를 cover한다.

#16-8 는 Samsung에서 발표한 TRNG에 대한 논문으로, 보안에 필요한 cryptographic KEY를 생성하기 위한 목적으로 만들었다. Entropy를 Self-Timed Ring (STR) 구조에서 취득하는 구조를 사용하였으며, STR cell의 각 stage에서 발생한 random jitter를 merge하여, random한 output을 생성하도록 설계하였다. 또한, 제안하는 TRNG 구조에서의  $P(1)$ ,  $\sigma_{total}$ ,  $\sigma_{total}^2$ ,  $cycle_{need}$  등을 수학적 모델로 표현한 점이 돋보인다. 본 TRNG는 4nm 공정에서 설계되었으며,  $P(1)$ , 8-bit chi-square, autocorrelation, min-entropy 및 10가지 type의 non-IID 측정 결과를 통해, TRNG가 가져야 할 여러 측정 결과들을 검증하였음을 확인할 수 있다.



[그림 5] #16-8에서 제안한 STR TRNG의 구조와 jitter 병합을 통한 난수 생성 방법

## 저자정보



### 이종민 교수

- 소 속 : 아주대학교 지능형반도체공학과
- 연구분야 : Security Circuits, Low-power Digital Circuits
- 이 메 일 : jongmin@ajou.ac.kr
- 홈페이지 : <https://sites.google.com/ajou.ac.kr/aisic>

# 2024 International Solid-State Circuits Conference (ISSCC) Review

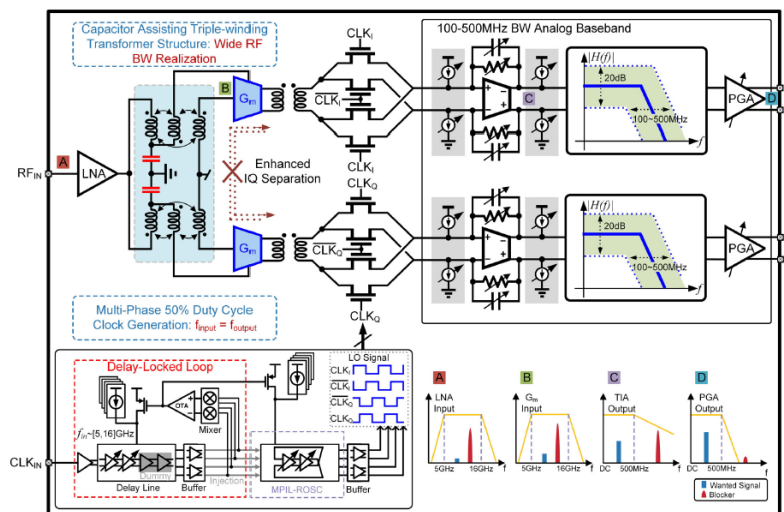
DGIST 전기전자컴퓨터공학과 송민영 교수

Topic : RF

## Session 5 : Wireless RF and mm-Wave Receiver Techniques

이번 ISSCC 2024의 Session 5는 총 5편의 논문을 통해 Wireless receiver 기술에 대하여 집중적으로 조망하였다. Wireless receiver는 지속적으로 높은 선형성 (linearity) 및 선택성 (selectivity), 그리고 넓은 대역폭 (bandwidth)을 가지면서도, 전력 소모를 최소화하고, 잡음 지수 (noise figure)를 작게 유지하는 방향으로 연구가 진행되어 왔으며, 특히 최근에는 전통적인 기술적 한계를 mixer-first, sub-sampling 구조 등, 회로 구조의 혁신을 통하여 극복하고자 하고 있다. 총 5편의 논문을 통하여, 이러한 wireless receiver의 기술적 진보를 살펴보고 향후 기술 방향을 모색하였다.

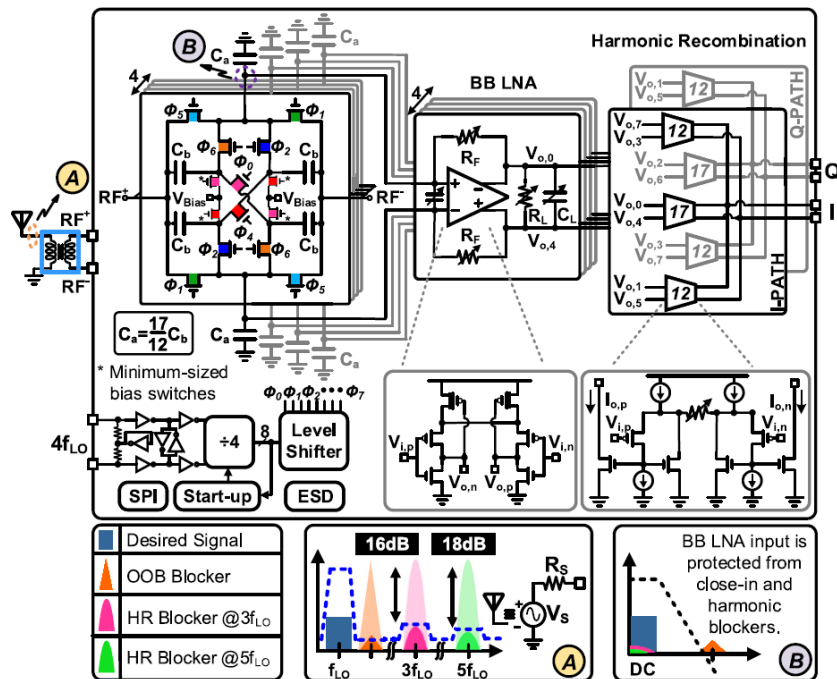
#5-1 논문은 중국 Fudan University에서 발표한 논문으로, 다양한 주파수 대역에서, 여러 communication 및 radar 프로토콜을 지원할 수 있는 reconfigurable receiver를 개발하였다. 먼저 넓은 주파수 동작 범위 (5 – 16 GHz)를 위해, Triple winding transformer를 적용하여 LNA의 bandwidth를 넓혔고, 클럭의 넓은 주파수를 지원하면서도 낮은 지터를 얻기 위해, DLL과 Ring Oscillator의 cascaded injection locking 구조를 적용하였다. Analog baseband 또한 pole-zero cancellation 및 current-reuse gm cell을 적용한  $g_m$ -C 구조를 사용하여 적용하여 power efficiency를 극대화하면서도 넓은 주파수 대역을 획득하였다. 마지막으로, 넓은 주파수 대역에서 I/Q mismatch를 최소화하기 위해, I 와 Q path 로의 gm cell을 분리하여 50%의 duty cycle을 갖는 클럭으로도 기존 구조 대비 complex I/Q mismatch가 1GHz 대역에서 10배 이상 감소하였다.



[그림 1] #5.1에서 제안한 wideband receiver의 구조도

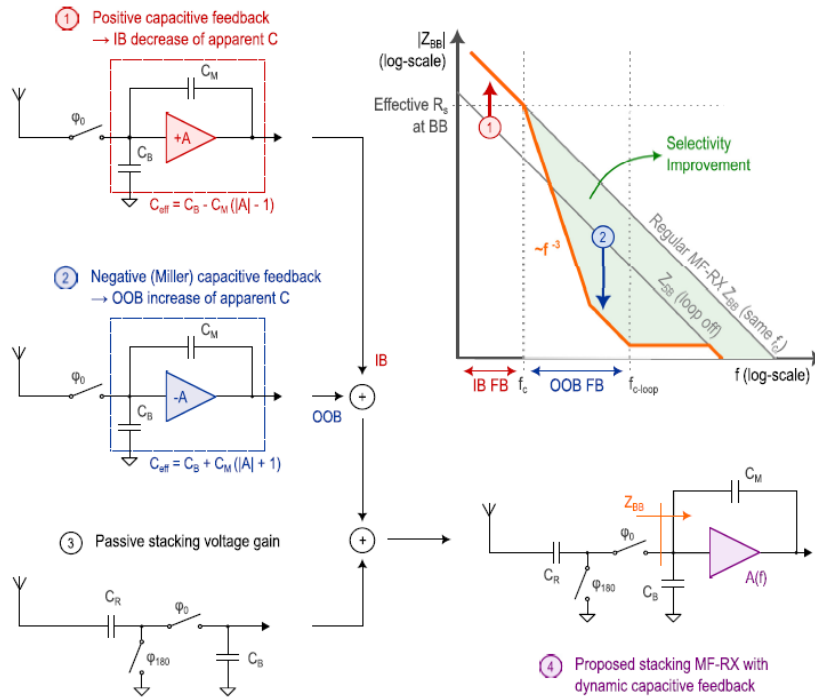


#5-2 미국 MIT에서 발표한 본 논문 역시, 광대역 (0.25-to-4GHz)을 지원하는 receiver에 관한 내용이다. 광대역 수신을 위해, LNA-first 구조 대신에 집적도를 높일 수 있고, 높은 Q-factor를 가지 고도 동작 주파수에 따라 filter 구성을 용이하게 할 수 있는 mixer-first 구조로 설계하였다. 그러나 mixer-first 구조는 passive mixer를 기반으로 하는 특성 상, sampling하는 LO harmonic에 취약한 문제가 있다. 기존의 harmonic rejection은 일반적으로 baseband에서 이루어지는데, 본 논문은 capacitor stacking 방식을 mixer에 적용하여, baseband 방식 대비, harmonic blocker에 대한 linearity를 16배 개선하면서도, passive device 기반 기술이므로 전력 효율성을 4배 향상할 수 있었다.



[그림 2] #5.2에서 제안한 광대역 harmonic rejection wideband receiver의 구조도

#5-5는 mixer-first receiver에 관한 논문으로, 네덜란드의 Univ. Twente에서 발표하였다. Mixer-first 구조는 baseband filter가 RF 주파수대역으로 un-conversion되기 때문에, 높은 Q factor를 용이하게 확보하고, LO 주파수에 맞춰 유연하게 bandpass filter를 구축할 수 있다. 따라서 LNA-first 구조 대신 높은 linearity 및 selectivity를 확보할 수 있으나, 기본적으로 차수가 1차이고, passive mixer의 switch 저항에 의해 linearity가 제한된다는 한계가 있다. 따라서 차수를 증가하기 위해 baseband의 차수를 증가할 수 있으나, 전력소모가 커진다는 단점이 있다. 본 논문은 전력 소모를 적게 소모하면서도 차수를 높이는 (3차) 방법을 제시하였다. 제안하는 기술은 Dynamic capacitive feedback으로, dual loop 구조로 in-band의 gain 및 out-of-band rejection을 동시에 증가시켰다. 최종적으로 9.7 mW의 전력소모만으로 1.2 -6 GHz의 주파수대역에서 4.7 - 5.5 dB의 Noise figure을 얻었고, 20 dBm 이상의 adjacent channel IIP3을 얻었다.

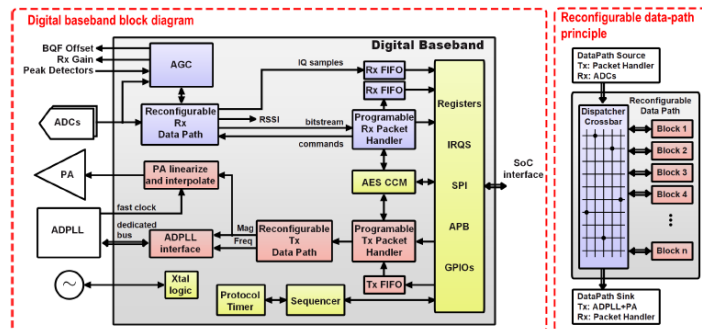


[그림 3] #5.5에서 제안한 광대역 mixer-first receiver의 구조도

### Session 23: Energy-Efficient Connectivity Radios

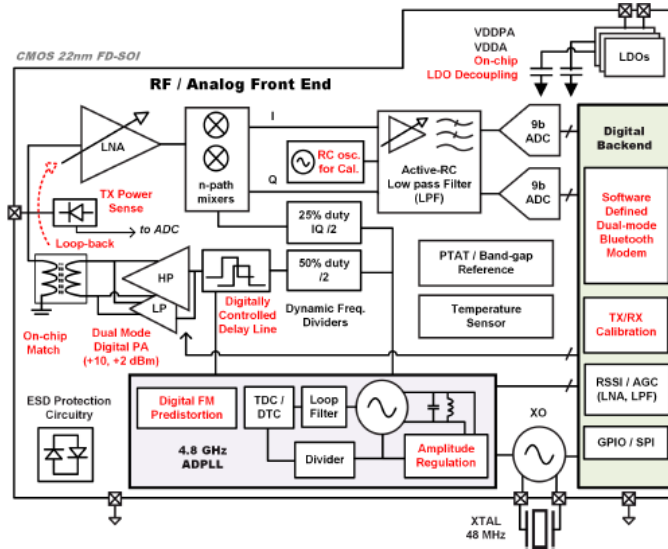
이번 ISSCC 2024의 Session 23은 총 5편의 논문을 통해 에너지 효율적인 connectivity 용 무선통신기술을 살펴보았다. 사물인터넷 기술용 무선통신 기술 범주를 망라하는 connectivity 용 무선통신은 저전력, 작은 시스템 form factor는 물론, 통신 프로토콜의 혁신을 통한 에너지 효율성 제고, Bluetooth 및 UWB 등 connectivity용 통신 표준에 호환하는 근거리 통신 솔루션 확보가 최근의 기술적 동향이며, 본 세션을 통해 이를 확인하고 향후 발전 방향을 알 수 있었다.

#23-2 논문에서는 스위스 CSEM에서 발표한 논문으로, 약 1 mm<sup>2</sup>의 면적 소모 및 2.96 mW의 전력소모 만으로 Bluetooth SoC를 구현하였다. Bluetooth, Bluetooth low energy를 모두 지원하는 software defined radio (SDR) dual mode 시스템을 기반으로, Reconfigurable RF frontend를 도입하였으며, PA pulling cancellation과 같은 다양한 calibration technique을 추가하여 완성도를 높였다.



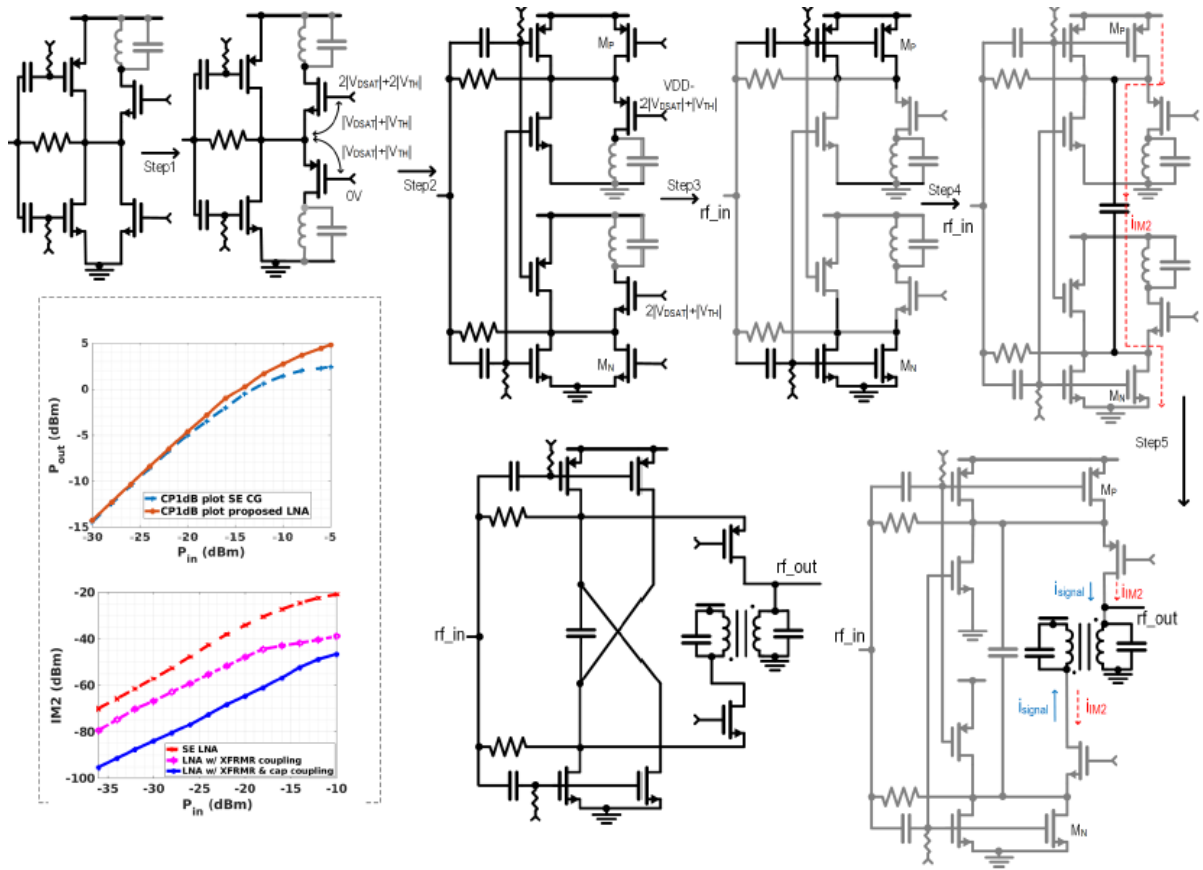
[그림 4] #23.2에서 제안한 광대역 Reconfigurable Digital Baseband

또한 SDR을 지원하는 reconfigurable Digital Baseband을 칩내 집적화 하였다. TX/RX data path는 reconfigurable하고, packet handler 역시 programmable하게 설계되었다. 따라서 단순히 dual mode에만 그치는 것이 아니라, proprietary mode 및 차세대 Bluetooth 표준에도 대응 가능하도록 설계되었다.

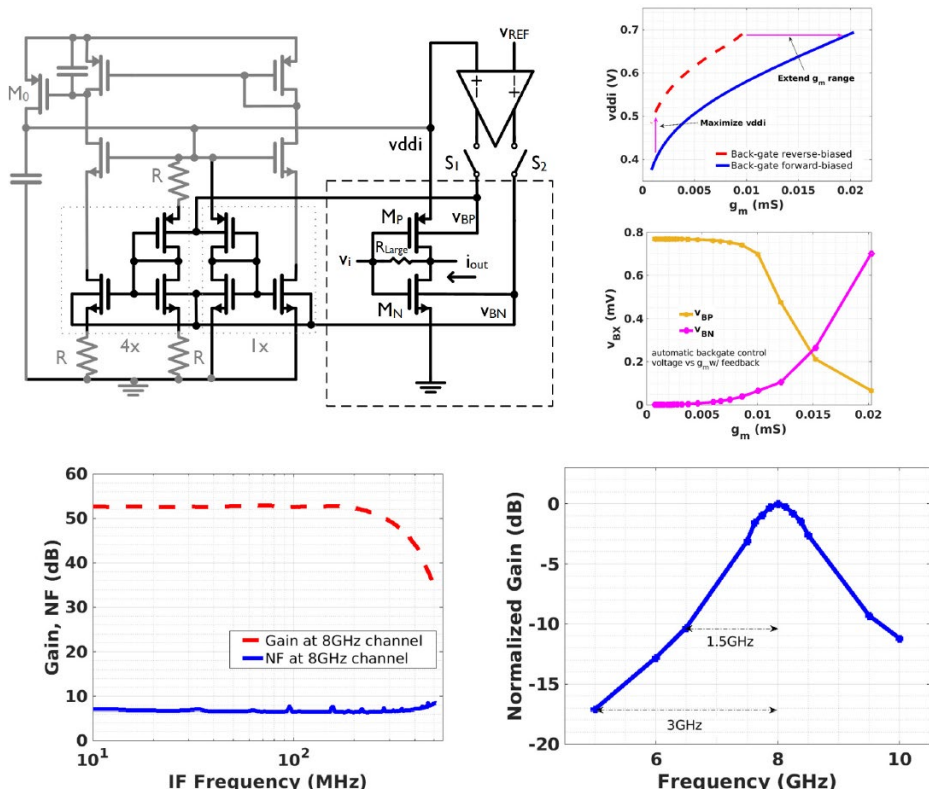


[그림 5] #23.2에서 제안한 Soft-radio defined Bluetooth transceiver의 구조도

#23-5 논문에서는 네덜란드 IMEC에서 발표한 논문으로, -13 dBm의 blocker resilience를 갖는 높은 선형성의 IR-UWB 수신기를 구현하였다. UWB는 넓은 대역폭을 가지면서도 송신전력을 제한하여 기존의 narrowband 통신과 공존이 가능하면서도 높은 데이터 전송속도를 보장하고, 위치 측정의 정밀성을 크게 높일 수 있어, 차세대 IoT 통신으로 각광받고 있다. 그러나, 최근에 WiFi6e 등이 주파수 대역을 확장함으로써, UWB receiver의 높은 linearity 확보가 필요하게 되었다. linearity 확보를 위하여 본 논문에서는 두가지 기술을 채택하였는데, 하나는 CG LNA를 complementary하게 가져가면서 각각을 AC coupling하고 balun transformer로 이들 출력을 결합하여, IM2를 감소시킨 기술이고, 다른 하나는, FD-SOI 기술을 이용하여, Transistor의 back-gate bias를 조절하여  $g_m$  조절 범위를 크게 개선하였다 (2배).



[그림 6] #23.5에서 제안한 complementary CG-LNA



[그림 7] #23.5에서 제안한 Back-gate feedback TIA

## 저자정보

---



### 송민영 교수

- 소 속 : DGIST 전기전자컴퓨터공학과
  - 연구분야 : Ultra Low-Power RF ICs/Wireless Systems
  - 이 메 일 : msong@dgist.ac.kr
  - 홈페이지 : <https://wise.dgist.ac.kr>
-